

# PIC18FXX2

Однокристальные 8-разрядные FLASH CMOS  
микроконтроллеры с 10 – разрядным АЦП  
компании Microchip Technology Incorporated

- PIC18F242
- PIC18F252
- PIC18F442
- PIC18F452

Часть 7  
(Модуль MSSP)

Перевод основывается на технической документации DS39564A  
компании Microchip Technology Incorporated, USA.

© ООО «Микро-Чип»  
Москва - 2003

Распространяется бесплатно.  
Полное или частичное воспроизведение материала допускается только с письменного разрешения  
ООО «Микро-Чип»  
тел. (095) 737-7545  
[www.microchip.ru](http://www.microchip.ru)

---

# PIC18FXX2 Data Sheet

## High Performance, Enhanced FLASH Microcontrollers with 10-Bit A/D

**Trademarks:** The Microchip name, logo, PIC, PICmicro, PICMASTER, PIC-START, PRO MATE, KEELOQ, SEEVAL, MPLAB and The Embedded Control Solutions Company are registered trademarks of Microchip Technology Incorporated in the U.S.A. and other countries.

Total Endurance, ICSP, In-Circuit Serial Programming, Filter-Lab, MXDEV, microID, *FlexROM*, *fuzzyLAB*, MPASM, MPLINK, MPLIB, PICDEM, ICEPIC, Migratable Memory, FanSense, ECONOMONITOR and SelectMode are trademarks of Microchip Technology Incorporated in the U.S.A.

Serialized Quick Term Programming (SQTP) is a service mark of Microchip Technology Incorporated in the U.S.A.

All other trademarks mentioned herein are property of their respective companies.

## 28/40-выводные высокоскоростные FLASH микроконтроллеры с 10-разрядным АЦП

### Высокоскоростной RISC микроконтроллер:

- Оптимизированная архитектура и система команд для написания программ на языке C
- Система команд совместима с командами семейств PIC16C, PIC17C и PIC18C
- Линейное адресное пространство памяти программ 32кбайта
- Линейное адресное пространство памяти данных 1.5кбайт

Устройство	Память программ		Память данных (байт)	EEPROM память данных (байт)
	Flash (байт)	Команд		
PIC18F242	16к	8192	768	256
PIC18F252	32к	16384	1536	256
PIC18F442	16к	8192	768	256
PIC18F452	32к	16384	1536	256

- Быстродействие до 10MIPS:
  - Тактовая частота от DC до 40МГц
  - Частота генератора с вкл. PLL от 4МГц до 10МГц
- 16-разрядные команды, 8-разрядные данные
- Система приоритетов прерываний
- Аппаратное умножение 8x8 за один машинный цикл

### Характеристика периферийных модулей:

- Высокая нагрузочная способность портов ввода/вывода
- Три входа внешних прерываний
- Модуль TMR0: 8/16-разрядный таймер/счетчик с программируемым 8-разрядным предделителем
- Модуль TMR1: 16-разрядный таймер/счетчик
- Модуль TMR2: 8-разрядный таймер/счетчик с 8-разрядным регистром периода (основной для ШИМ)
- Модуль TMR3: 16-разрядный таймер/счетчик
- Вторичный генератор тактового сигнала на основе TMR1/TMR3
- Два модуля CCP
  - Выводы модуля CCP могут работать как:
  - 16-разрядный захват, максимальная разрешающая способность 6.25нс (ТСУ/16)
  - 16-разрядное сравнение, максимальная разрешающая способность 100нс (ТСУ)
  - ШИМ, разрядность от 1 до 10 бит, Максимальная частота ШИМ 156кГц@8 бит; 39кГц@10 бит

### Характеристика периферийных модулей (продолжение):

- Модуль ведущего последовательного синхронного порта (MSSP)
  - 3-х проводной интерфейс SPITM (поддерживает 4 режима)
  - I2CTM (ведущий и ведомый режим)
- Адресуемый модуль USART, поддержка интерфейса RS-485 и RS-232
- Модуль PSP, ведомый параллельный порт

### Аналоговые периферийные модули:

- Модуль 10-разрядного АЦП:
  - Высокая скорость преобразования
  - Работа модуля АЦП в SLEEP режиме микроконтроллера
  - DNL =  $\pm 1$ Lsb, INL =  $\pm 1$ Lsb
- Программируемый детектор пониженного напряжения (PLVD)
  - При обнаружении снижения напряжения возможна генерация прерываний
- Программируемый сброс по снижению напряжения питания

### Особенности микроконтроллеров

- 100 000 гарантированных циклов стирание/запись памяти программ
- 1 000 000 гарантированных циклов стирание/запись EEPROM памяти данных
- Возможность самопрограммирования
- Сброс по включению питания (POR), таймер включения питания (PWRT), таймер запуска генератора (OST)
- Сторожевой таймер WDT с отдельным RC генератором
- Программируемая защита кода программы
- Режим пониженного энергопотребления и режим SLEEP
- Выбор режима работы тактового генератора, включая:
  - 4 x PLL (от основного генератора)
  - Вторичный генератор (32кГц)
- Внутрисхемное программирование по двухпроводной линии (ICSP) с одним напряжением питания 5В
- Внутрисхемная отладка по двухпроводной линии (ICD)

### КМОП технология

- Высокоскоростная энергосберегающая КМОП технология
- Полностью статическая архитектура
- Широкий диапазон напряжений питания (от 2.0В до 5.5В)
- Промышленный и расширенный температурные диапазоны

## Содержание

<b>15. Модуль MSSP .....</b>	<b>3</b>
15.1 Введение .....	3
15.2 Управляющие регистры .....	3
15.3 Режим SPI .....	3
15.3.1 Регистры .....	4
15.3.2 Работа модуля MSSP в режиме SPI .....	6
15.3.3 Настройка выводов в режиме SPI .....	7
15.3.4 Типовое включение .....	7
15.3.5 Режим ведущего SPI .....	8
15.3.6 Режим ведомого SPI .....	9
15.3.7 Выбор ведомого в режиме SPI .....	9
15.3.8 Работа в SLEEP режиме микроконтроллера .....	11
15.3.9 Эффект сброса .....	11
15.3.10 Совместимость режимов шины .....	11
15.4 Режим I <sup>2</sup> C .....	12
15.4.1 Регистры .....	12
15.4.2 Работа модуля MSSP в режиме I <sup>2</sup> C .....	16
15.4.3 Режим ведомого I2C .....	16
15.4.4 Удержание тактового сигнала .....	22
15.4.5 Поддержка общего вызова .....	26
15.4.6 Режим ведущего I2C .....	27
15.4.7 Генератор скорости обмена .....	29
15.4.8 Формирование бита START в режиме ведущего I <sup>2</sup> C .....	31
15.4.9 Формирование бита повторный START в режиме ведущего I2C .....	32
15.4.10 Передача данных в режиме ведущего I <sup>2</sup> C .....	33
15.4.11 Прием данных в режиме ведущего I2C .....	33
15.4.12 Формирование бита подтверждения в режиме ведущего I <sup>2</sup> C .....	36
15.4.13 Формирование бита STOP в режиме ведущего I2C .....	37
15.4.14 Работа в SLEEP режиме .....	37
15.4.15 Эффект сброса .....	37
15.4.16 Режим конкуренции .....	38
15.4.17 Режим конкуренции, арбитраж и конфликты шины .....	38

## 15. Модуль MSSP

### 15.1 Введение

Модуль ведущего синхронного последовательного порта (MSSP) может использоваться для связи с периферийными микросхемами или другими микроконтроллерами. Периферийными микросхемами могут быть: EEPROM память, сдвиговые регистры, драйверы ЖКИ, АЦП и др. Модуль MSSP может работать в одном из двух режимов:

- Последовательный периферийный интерфейс (SPI)
- Inter-Integrated Circuit (I<sup>2</sup>C):
  - ведущий режим
  - ведомой режим (с поддержкой адреса общего вызова)

Для работы по интерфейсу I<sup>2</sup>C аппаратно поддерживаются следующие режимы:

- Режим ведущего
- Режим ведущего с конкуренцией на шине
- Режим ведомого

### 15.2 Управляющие регистры

С модулем MSSP связаны три регистра: регистр статуса SSPSTAT и два регистра управление SSPCON1, SSPCON2. Работа с этими регистрами и отдельными битами регистров значительно отличается в зависимости от используемого интерфейса I<sup>2</sup>C или SPI. Дополнительную информацию смотрите в описании соответствующего интерфейса.

### 15.3 Режим SPI

В SPI режиме возможен одновременный синхронный прием и передача 8-разрядных данных. Модуль SSP поддерживает четыре режима SPI с типовым использованием трех выводов микроконтроллера:

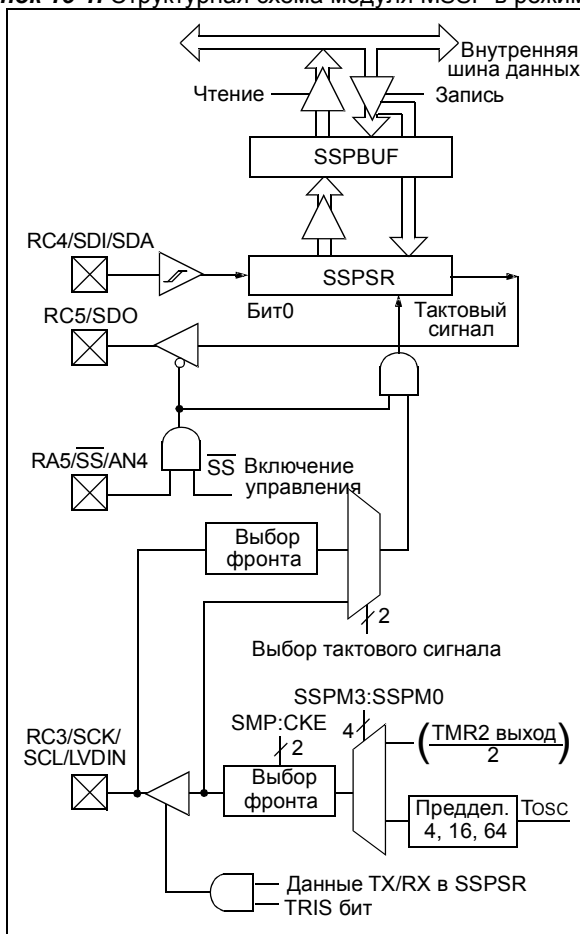
- Вход последовательных данных (SDI) – RC4/SDI/SDA
- Выход последовательных данных (SDO) – RC5/SDO
- Тактовый сигнал (SCK) – RC3/SCK/SCL/LVDIN

Дополнительно может быть задействован четвертый вывод для работы в режиме ведомого:

- Выбор ведомого (-SS) – RA5/SS/AN4

На рисунке 15-1 показана структурная схема модуля MSSP в режиме SPI.

Рисунок 15-1. Структурная схема модуля MSSP в режиме SPI



### 15.3.1 Регистры

В режиме SPI модулем MSSP используется четыре регистра:

- Управляющий регистр 1 (SSPCON1)
- Регистр статуса (SSPSTAT)
- Буфер последовательно приемника/передатчика (SSPBUF)
- Сдвиговый регистр (SSPSR) – не адресуемый регистр

В регистрах SSPCON1 и SSPSTAT находятся биты управления и флаги состояния модуля MSSP в режиме SPI. Регистр SSPCON1 доступен для записи/чтения. Младшие 6 битов регистра SSPSTAT доступны только для чтения. Старшие 2 бита регистра SSPSTAT доступны для записи и чтения.

Сдвиговый регистр SSPSR предназначен для приема и передачи данных. SSPBUF – буферный регистр. В/из него записываются/читаются данные.

При приеме данных регистры SSPSR и SSPBUF образуют двойной буфер. Когда в SSPSR байт данных загружается полностью, он переписывается в регистр SSPBUF, устанавливается флаг прерывания SPSIF.

При передаче данных регистр SSPBUF двойную буферизацию не имеет. Данные, записанные в SSPBUF, сразу переписываются в SSPSR.

**Регистр 15-1.** SSPSTAT: Регистр статуса модуля MSSP (режим SPI)

R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE	DI/A	P	S	R/W	UA	BF
Бит 7							Бит 0

бит 7 **SMP:** Фаза выборки бита

Ведущий режим SPI

1 = опрос входа в конце периода вывода данных

0 = опрос входа в середине периода вывода данных

Ведомый режим SPI

Для режима ведомого SPI этот бит всегда должен быть сброшен в '0'

бит 6 **CKE:** Выбор фронта тактового сигнала

SPI режим, CKP=0

1 = данные передаются по переднему фронту сигнала на выводе SCK

0 = данные передаются по заднему фронту сигнала на выводе SCK

SPI режим, CKP=1

1 = данные передаются по заднему фронту сигнала на выводе SCK

0 = данные передаются по переднему фронту сигнала на выводе SCK

бит 5 **DI/A:** Бит Данные/Адрес (только для режима I<sup>2</sup>C)

бит 4 **P:** Бит STOP (только для режима I<sup>2</sup>C)

Этот бит сбрасывается в '0' когда модуль MSSP выключен, SSPEN=0.

бит 3 **S:** Бит START (только для режима I<sup>2</sup>C)

Этот бит сбрасывается в '0' когда модуль MSSP выключен, SSPEN=0.

бит 2 **R/W:** Бит чтения/записи (только для режима I<sup>2</sup>C)

бит 1 **UA:** Флаг обновления адреса устройства (только для режима 10-разрядного I<sup>2</sup>C)

бит 0 **BF:** Бит статуса буфера

1 = прием завершен, буфер SSPBUF полон

0 = прием не завершен, буфер SSPBUF пуст

Обозначения

R = чтение бита

W = запись бита

U = не используется, читается как '0'

- n = значение после POR

'1' = бит установлен

'0' = бит сброшен

X = неизвестное сост.

**Регистр 15-2.** SSPCON1: Регистр управления 1 модуля MSSP (режим SPI)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
Бит 7							Бит 0

- бит 7 **WCOL:** Бит конфликта записи (Только при передаче, сбрасывается программно)  
1 = была предпринята попытка записи в SSPBUF во время передачи предыдущего байта  
0 = конфликта не было
- бит 6 **SSPOV:** Бит переполнения приемника  
SPI режим  
1 = принят новый байт, а SSPBUF содержит предыдущие данные(байт в SSPSR будет потерян). В ведомом режиме пользователь должен прочитать содержимое регистра SSPBUF даже, если только передает данные. В ведущем режиме бит в '1' не устанавливается, т.к. каждая операция инициализируется записью в SSPBUF. (сбрасывается в '0' программно)  
0 = нет переполнения
- Примечание.** В режиме ведущего бит SSPOV не устанавливается, т.к. каждый прием данных инициируется записью в SSPBUF.
- бит 5 **SSPEN:** Бит включения модуля MSSP  
Когда модуль включен, соответствующие порты ввода/вывода настраиваются на выход или вход  
SPI режим  
1 = модуль MSSP включен, выходы SCK, SDO, SDI, -SS используются модулем MSSP  
0 = модуль MSSP выключен, выходы работают как цифровые порты ввода/вывода
- Примечание.** При включении режима SPI выходы модуля MSSP должны быть соответствующим образом настроены.
- бит 4 **CKP:** Бит выбора полярности тактового сигнала  
1 = пассивный высокий уровень сигнала  
0 = пассивный низкий уровень сигнала
- бит 3-0 **SSPM3:SSPM0:** Режим работы модуля MSSP  
0000 = ведущий режим SPI, тактовый сигнал =  $F_{osc}/4$   
0001 = ведущий режим SPI, тактовый сигнал =  $F_{osc}/16$   
0010 = ведущий режим SPI, тактовый сигнал =  $F_{osc}/64$   
0011 = ведущий режим SPI, тактовый сигнал = выход TMR2 / 2  
0100 = ведомый режим SPI, тактовый сигнал с вывода SCK. Вывод -SS подключен к MSSP  
0101 = ведомый режим SPI, тактовый сигнал с вывода SCK. Вывод -SS не подключен к MSSP
- Примечание.** Не указанные комбинации битов предназначены для настройки модуля MSSP в режим I<sup>2</sup>C или зарезервированы.

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.

### 15.3.2 Работа модуля MSSP в режиме SPI

При инициализации SPI необходимо определить параметры работы модуля SPI битами SSPCON1<5:0>, SSPSTAT<7:6>. Управляющие биты определяют следующие параметры работы:

- Ведущий режим (SCK выход)
- Ведомый режим (SCK вход)
- Полярность тактового сигнала (пассивный уровень SCK)
- Фаза выборки входных данных
- Активный фронт тактового сигнала (передний, задний)
- Частота тактового сигнала (только в ведущем режиме)
- Режим выбора ведомого (только в режиме ведомого)

Модуль MSSP состоит из приемного/передающего регистра сдвига (SSPSR) и буферного регистра (SSBUF). В регистре SSPSR выполняется сдвиг данных из/в микроконтроллер старшим битом вперед. В регистре SSBUF сохраняются записанные данные, пока не будут получены новые. Приняв 8 бит данных в регистр SSPSR они переписываются в SSBUF, устанавливается в '1' флаг полного приемного буфера BF (SSPSTAT<0>) и флаг прерывания SSPIF. Двойная буферизация принимаемых данных позволяет принимать следующий байт до чтения предыдущего. Любая запись в регистр SSBUF во время выполнения операции приема/передачи данных будет игнорирована, при этом устанавливается в '1' флаг WCOL (SSPCON<7>). Пользователь должен программно сбросить бит WCOL в '0', чтобы была возможность проверки выполнения записи в регистр SSBUF. При приеме данных в режиме SPI регистр SSBUF должен быть прочитан до момента окончания приема следующего байта. Бит статуса приемного буфера BF (SSPSTAT<0>) указывает на получение нового байта данных. Бит BF аппаратно сбрасывается в '0' при чтении регистра SSBUF. Принятые данные могут быть недостоверными, если режим SPI используется только для передачи данных. Прерывания от модуля MSSP используются для определения завершения приема/передачи данных (в подпрограмме обработки прерываний необходимо прочитать/записать регистр SSBUF). Если не планируется использовать прерывания от модуля MSSP, то необходимо предусмотреть программную проверку выполнения записи в регистр SSBUF для передачи данных. В примере 15-1 показана загрузка данных в регистр SSBUF (SSPSR) для передачи данных. Затененная команда требуется только, если принимаемые данные имеют какое-то значение (в некоторых приложениях модуль MSSP в режиме SPI используется только для передачи данных).

#### Пример 15-1. Загрузка данных в регистр SSBUF(SSPSR)

```

LOOP   BTFSS  SSPSTAT, BF   ;Данные приняты?
        GOTO  LOOP         ;Нет
        MOVF  SSBUF, W      ;Загрузить в W значение из SSBUF
        MOVWF RXDATA        ;Если необходимо, сохранить значение в памяти
        MOVF  TXDATA, W     ;Загрузить в W значение из TXDATA
        MOVWF SSBUF         ;Передать новые данные

```

Регистр SSPSR не доступен для непосредственного чтения или записи, все операции выполняются через регистр SSBUF. В регистре SSPSTAT находятся биты, указывающие текущее состояние модуля MSSP.



### 15.3.3 Настройка выводов в режиме SPI

Для включения модуля MSSP необходимо установить бит SSPEN (SSPCON1<5>) в '1'. Для сброса или перенастройки режима SPI рекомендуется сбросить бит SSPEN в '0', выполнить изменения параметров работы, а затем вновь установить бит SSPEN в '1'. После включения MSSP в режиме SPI выводы SDI, SDO, SCK, -SS используются последовательным портом. Для корректной работы последовательного порта биты регистров TRIS должны быть настроены следующим образом:

- SDI, бит TRISC<4> должен быть установлен в '1'
- SDO, бит TRISC<5> должен быть сброшен в '0'
- SCK (ведущий режим), бит TRISC<3> должен быть сброшен в '0'
- SCK (ведомый режим), бит TRISC<3> должен быть установлен в '1'
- -SS, бит TRISA<5> должен быть установлен в '1'

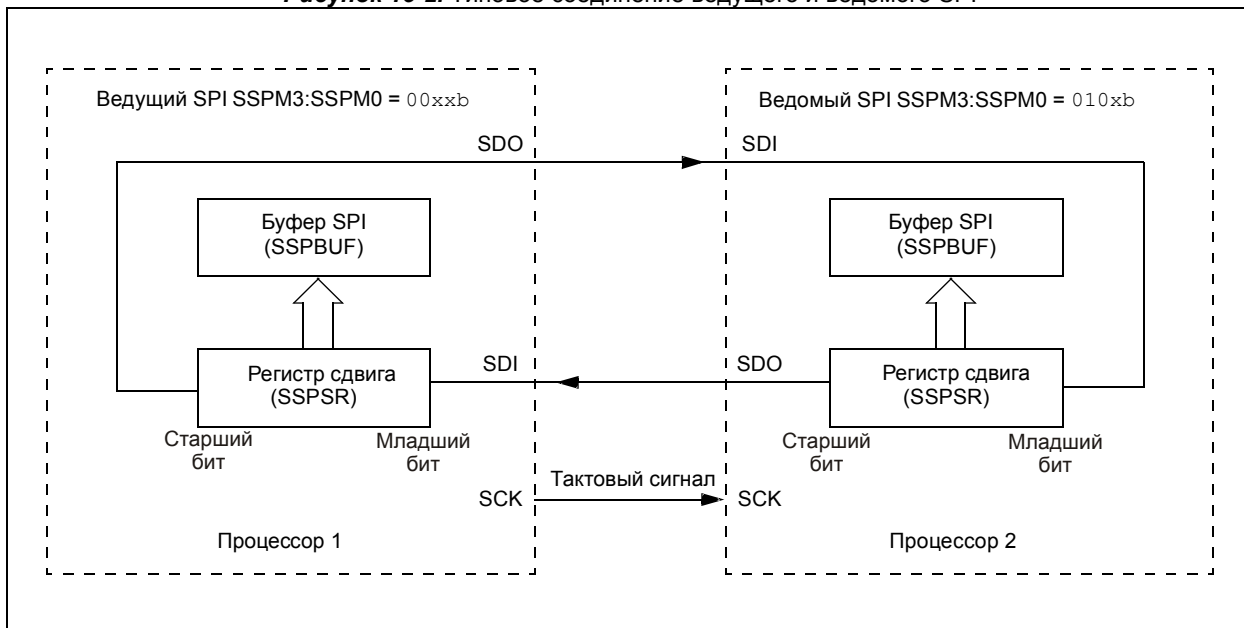
Любая нежелательная функция последовательного порта может быть выключена, настраивая соответствующие биты регистров направления данных TRIS. Например, если в режиме ведущего SPI выполняется только передача данных, то выводы SDI и -SS могут использоваться как цифровые выходы, сбросив соответствующие биты TRIS в '0'.

### 15.3.4 Типовое включение

На рисунке 15-2 показано типовое соединение двух микроконтроллеров. Главный микроконтроллер (процессор 1) инициализирует передачу, формируя тактовый сигнал SCK. Данные сдвигаются по установленному битом SMP фронту тактового сигнала. Для одновременного приема/передачи данных (фиктивных данных) оба микроконтроллера должны иметь одинаковую полярность тактового сигнала (бит CKP). Всего существует три сценария передачи данных:

- Ведущий передает данные - ведомый передает фиктивные данные
- Ведущий передает данные - ведомый передает данные
- Ведущий передает фиктивные данные - ведомый передает данные

**Рисунок 15-2.** Типовое соединение ведущего и ведомого SPI



### 15.3.5 Режим ведущего SPI

Ведущий шины может инициализировать передачу данных в любой момент, поскольку он генерирует тактовый сигнал, и определяет, когда ведомый (процессор 2) должен передать данные в соответствии с используемым протоколом.

В режиме ведущего данные передаются/приняты после их записи/чтения из регистра SSPBUF. Если в SPI режиме требуется только принимать данные, вывод SDO может быть заблокирован (настроен как вход). Данные с вывода SDI последовательно сдвигаются в регистр SSPSR с установленной скоростью. Каждый принятый байт загружается в регистр SSPBUF (как нормально полученный байт) с формированием прерываний и воздействием на соответствующие биты статуса. Эта функция может быть полезна при реализации "монитора шины".

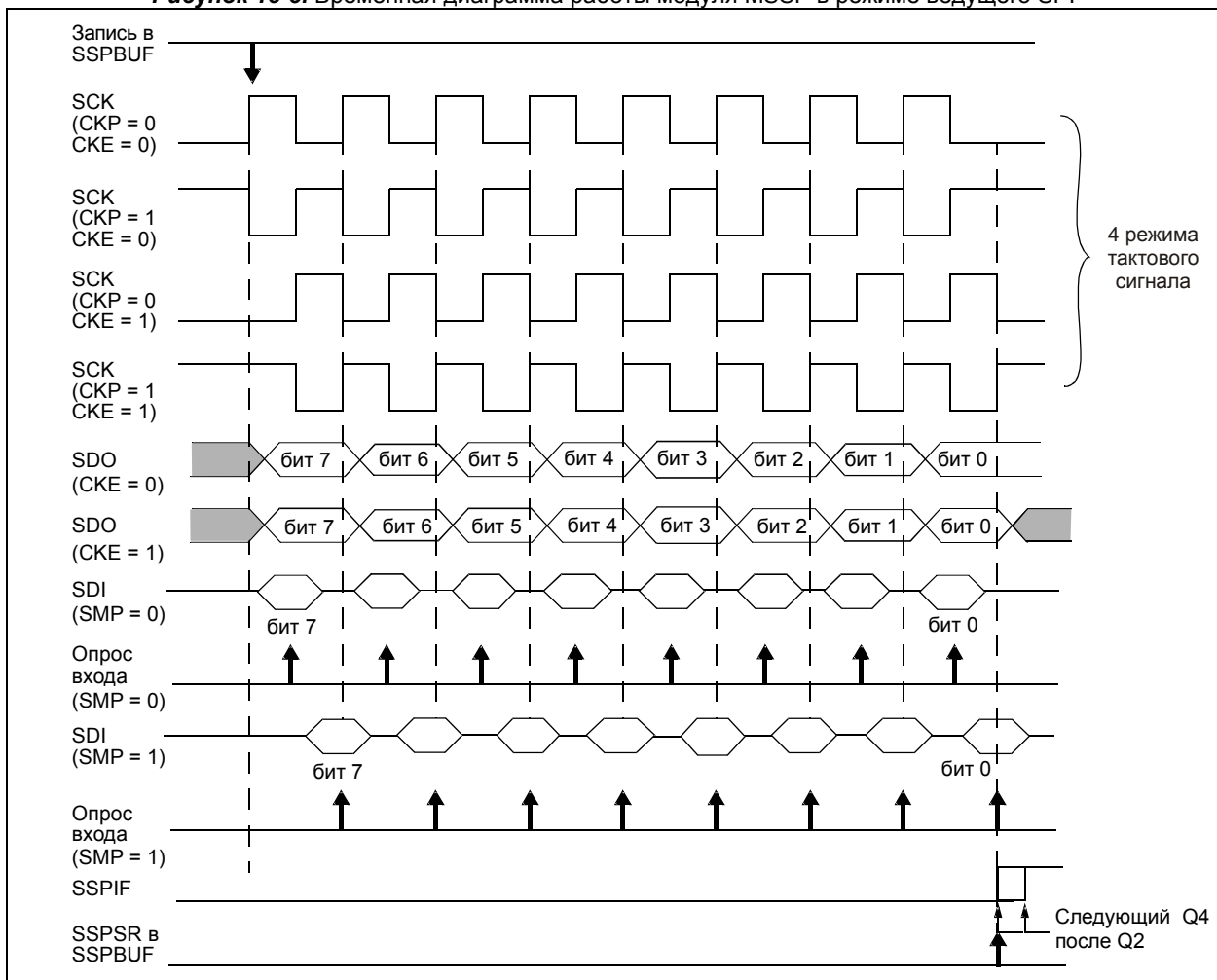
Полярность тактового сигнала устанавливается битом СКР (SSPCON1<4>), что позволяет получить различные методы передачи данных (см. рисунки 15-3, 15-5 и 15-6). Данные всегда передаются старшим битом вперед. В ведущем режиме частота тактового сигнала выбирается программно:

- FOSC/4 (или TCY)
- FOSC/16 (или 4 x TCY)
- FOSC/64 (или 16 x TCY)
- Выход таймера TMR2 / 2

Максимальная частота передачи данных 10МГц при тактовой частоте микроконтроллера 40МГц.

Временная диаграмма передачи данных в режиме ведущего SPI показана на рисунке 15-3. Бит СКЕ определяет по какому фронту тактового сигнала необходимо выполнять прием данных. Параметры выборки входных данных устанавливаются битом SMP. Поле загрузки принятых данных в регистр SSPBUF устанавливается флаг прерываний SSPIF в '1'.

**Рисунок 15-3.** Временная диаграмма работы модуля MSSP в режиме ведущего SPI



### 15.3.6 Режим ведомого SPI

В режиме ведомого данные передаются/принимаются по внешнему тактовому сигналу на выводе SCK. Когда принимается последний бит байта, устанавливается в '1' флаг прерываний SSPIF.

Полярность тактового сигнала выбирается битом CKP (SSPCON1<4>). Внешний тактовый сигнал должен удовлетворять требованиям длительности низкого и высокого логического уровня, описанным в разделе электрических характеристик.

В SLEEP режиме микроконтроллера ведомый может принимать/передавать данные. После приема данных микроконтроллер выходит из режима SLEEP, если разрешены прерывания от модуля MSSP.

### 15.3.7 Выбор ведомого в режиме SPI

В режиме SPI вывод -SS позволяет подключать несколько ведомых к одному ведущему. Модуль MSSP должен находиться в режиме ведомого SPI (SSPCON1<3:0> = 0100), бит TRIS для вывода -SS установлен в '1', чтобы позволить ведущему выбирать ведомого. Когда на выводе -SS присутствует низкий логический уровень, передача и прием данных разрешены, а вывод SDO управляется модулем SSP. Если на выводе -SS высокий уровень сигнала, то вывод SDO переходит в 3-е состояние. В зависимости от приложения может потребоваться внешний подтягивающий резистор на выводе SDO.

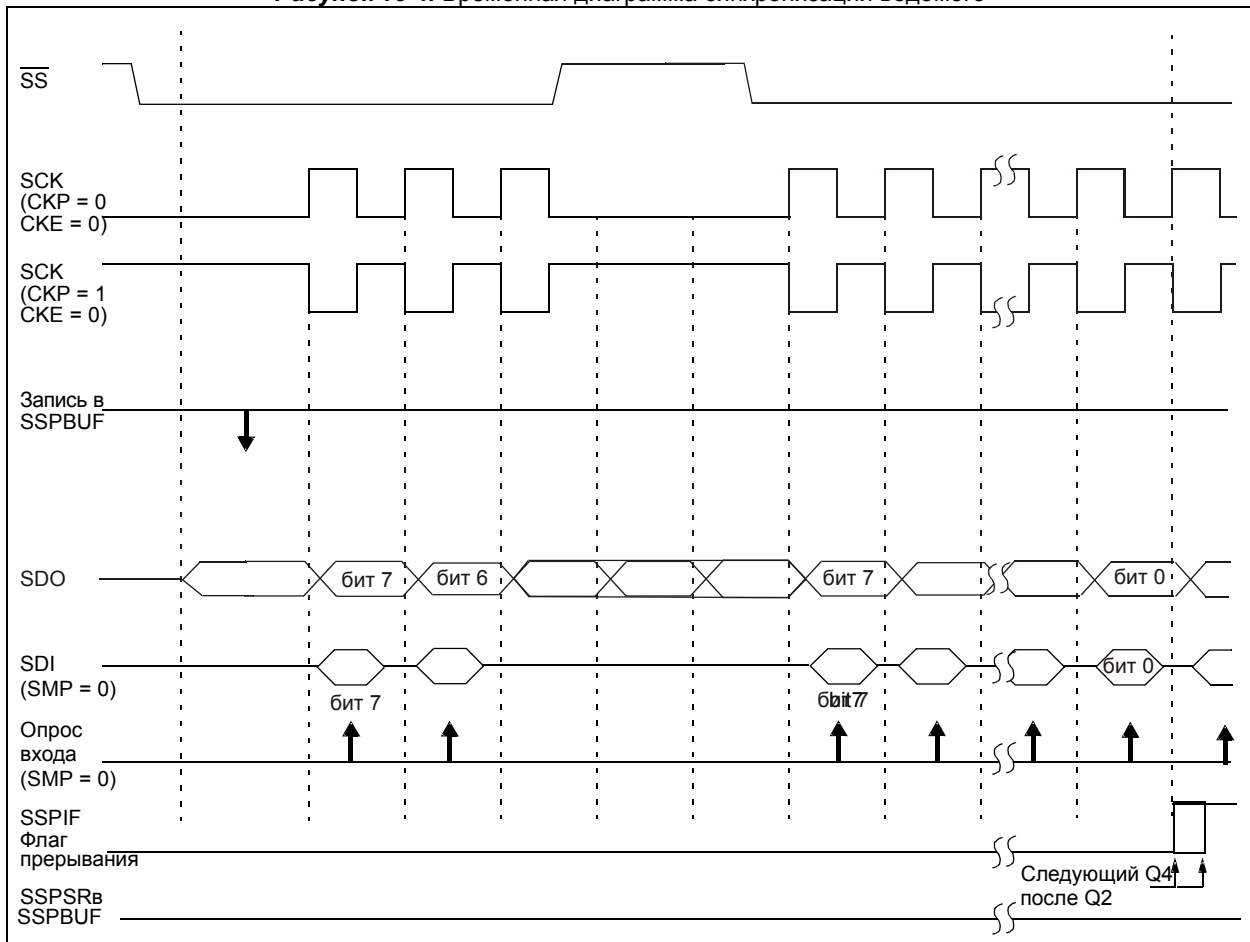
#### Примечания

1. В режиме ведомого SPI с поддержкой выбора ведомого по сигналу на выводе -SS (SSPCON1<3:0>=0100), SPI модуль сброшен, если на выводе -SS напряжение питания  $V_{DD}$ .
2. В режиме ведомого SPI и CKE = 1, необходимо разрешить управление с вывода -SS.

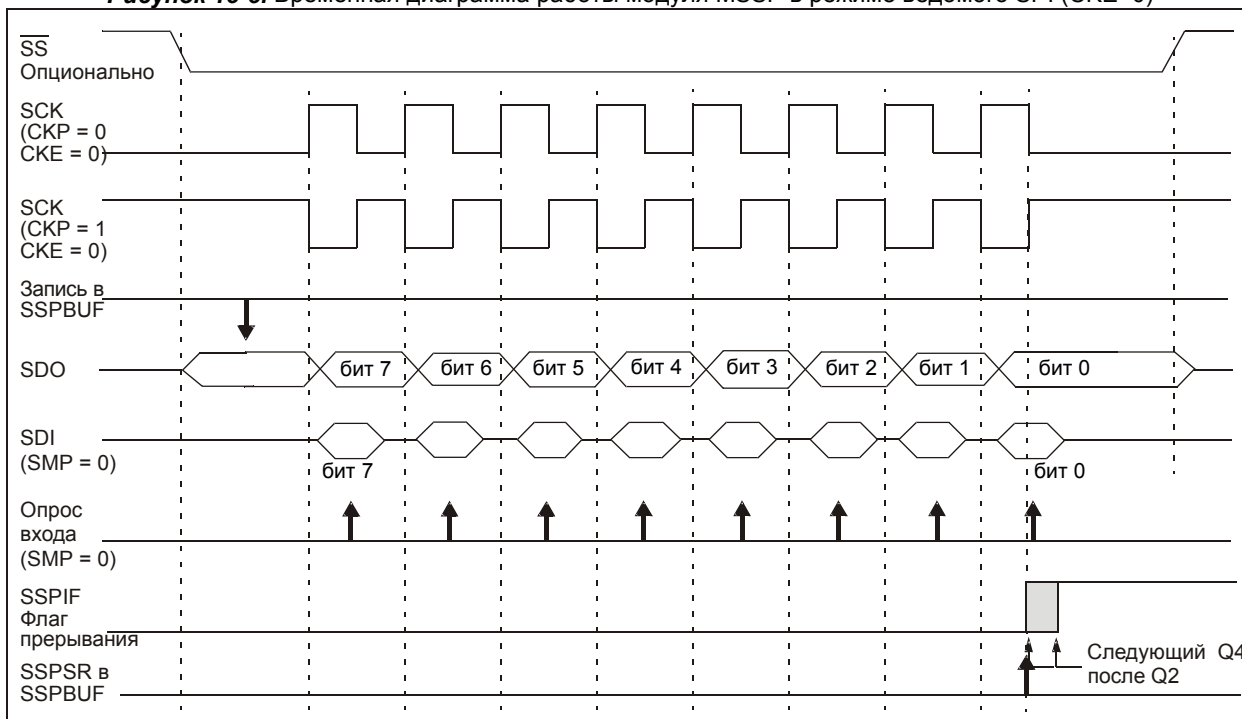
При сбросе модуля SSP в режиме SPI счетчик битов сдвигового регистра очищается. Сброс модуля в режиме SPI происходит при появлении высокого логического уровня на выводе -SS и сбросе в '0' бита SSPEN.

Для реализации двух проводного интерфейса вывод SDO может быть соединен с SDI. Когда SPI должен работать как приемник, вывод SDO настраивается на вход, что отключает передатчик от SDO. SDI всегда должен быть настроен как вход (функция SDI), т.к. это не создает конфликт шины.

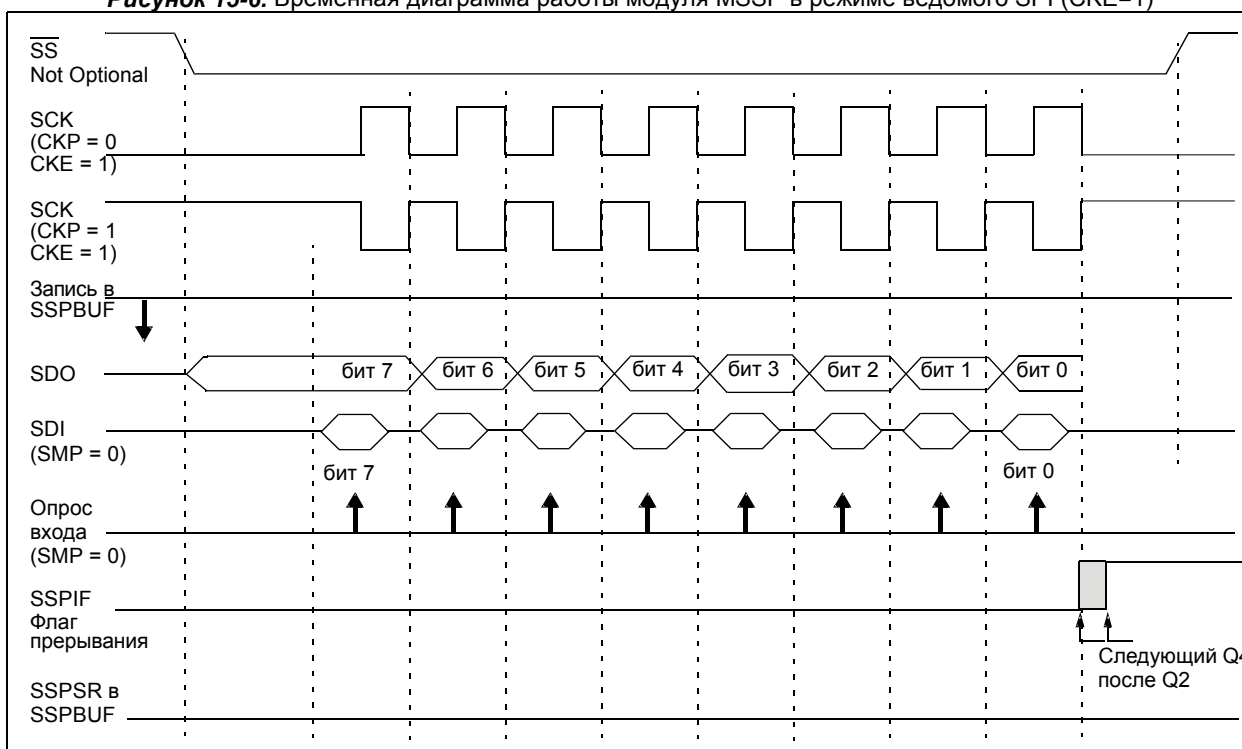
Рисунок 15-4. Временная диаграмма синхронизации ведомого



**Рисунок 15-5.** Временная диаграмма работы модуля MSSP в режиме ведомого SPI (CKE=0)



**Рисунок 15-6.** Временная диаграмма работы модуля MSSP в режиме ведомого SPI (CKE=1)



### 15.3.8 Работа в SLEEP режиме микроконтроллера

В режиме ведущего SPI тактовый сигнал модуля MSSP отсутствует, состояние приема/передачи данных не изменяется до выхода микроконтроллера из режима SLEEP. После выхода микроконтроллера из режима SLEEP модуль SSP продолжит передачу/прием данных.

В режиме ведомого SPI данные могут быть приняты/переданы, т.к. сдвиговый регистр работает асинхронно. Это позволяет в SLEEP режиме микроконтроллера принять/передать данные в/из сдвигового регистра. Как только будут приняты все 8 бит данных, устанавливается в '1' флаг прерывания от модуля MSSP, и если прерывания разрешены, микроконтроллер выйдет из SLEEP режима.

### 15.3.9 Эффект сброса

Любой сброс микроконтроллера выключает модуль MSSP, прием/передача данных прекращается.

### 15.3.10 Совместимость режимов шины

В таблице 15-1 показаны стандартные режимы шины SPI и соответствующая настройка битов СКР, СКЕ.

Таблица 15-1. Режимы шины SPI

Стандартные режимы SPI	Состояние управляющих битов	
	СКР	СКЕ
0, 0	0	1
0, 1	0	0
1, 0	1	1
1, 1	1	0

Таблица 15-2. Регистры и биты, связанные с работой модуля SSP в режиме SPI

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR	
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x	
F9Fh	IRP1	PSPIP	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	0000 0000	
F9Eh	PIR1	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	
F98h	PIE1	PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	
F94h	TRISC	Регистр направления данных								1111 1111	
FC9h	SSPBUF	Буфер приемника/передатчика модуля MSSP								xxxx xxxx	
FC6h	SSPCON1	WCOL	SSPOV	SSPEN	СКР	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	
F92h	TRISA	-	Регистр направления данных								-111 1111
FC7h	SSPSTAT	SMP	СКЕ	D/-A	P	S	R/-W	UA	BF	0000 0000	

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.  
Затененные ячейки на работу не влияют.

## 15.4 Режим I<sup>2</sup>C

Модуль MSSP полностью поддерживает все функции ведущих и ведомых устройств, включая поддержку общего вызова, аппаратные прерывания по детектированию битов START и STOP для определения занятости шины I<sup>2</sup>C в режиме ведущего (при конкуренции на шине). В MSSP модуле реализована поддержка стандартного режима 7, 10-разрядной адресации.

Для работы с шиной I<sup>2</sup>C используется два вывода SCL (сигнал синхронизации) и SDA (данные). Выводы SDA и SCL автоматически настраиваются при включении режима I<sup>2</sup>C.

### 15.4.1 Регистры

Для управления модулем MSSP в режиме I<sup>2</sup>C используется шесть регистров:

- SSPCON1, регистр управления 1 MSSP
- SSPCON2, регистр управления 2 MSSP
- SSPSTAT, регистр статуса MSSP
- SSPBUF, буфер приемника/передатчика
- SSPSR, сдвиговый регистр (пользователю не доступен)
- SSPADD, регистр адреса

В регистрах SSPCON1, SSPCON2 и SSPSTAT находятся биты управления и флаги состояния модуля MSSP в режиме SPI. Регистры SSPCON1, SSPCON2 доступны для записи/чтения. Младшие 6 битов регистра SSPSTAT доступны только для чтения. Старшие 2 бита регистра SSPSTAT доступны для записи и чтения.

Сдвиговый регистр SSPSR предназначен для приема и передачи данных. SSPBUF – буферный регистр. В/из него записываются/читаются данные.

SSPADD предназначен для хранения адреса устройства, когда модуль MSSP настроен в режим ведомого I<sup>2</sup>C. Если модуль MSSP настроен в режиме ведущего I<sup>2</sup>C, то семь младших битов регистра SSPADD используются для указания значения перезагрузки генератора скорости передачи данных.

При приеме данных регистры SSPSR и SSPBUF образуют двойной буфер. Когда в SSPSR байт данных загружается полностью, он переписывается в регистр SSPBUF, устанавливается флаг прерывания SPSIF.

При передаче данных регистр SSPBUF двойную буферизацию не имеет. Данные, записанные в SSPBUF, сразу переписываются в SSPSR.

**Регистр 15-3.** SSPSTAT: Регистр статуса модуля MSSP (режим I<sup>2</sup>C)

R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	SKE	D/-A	P	S	R/-W	UA	BF
Бит 7						Бит 0	

- бит 7 **SMP:** Управление длительностью фронта  
Ведущий или ведомый режим I<sup>2</sup>C  
 1 = управление длительностью фронта выключено в стандартном режиме (100кГц и 1МГц)  
 0 = управление длительностью фронта включено в скоростном режиме (400кГц)
- бит 6 **SKE:** Выбор фронта тактового сигнала  
Ведущий или ведомый режим I<sup>2</sup>C  
 1= входные уровни соответствуют спецификации SMBus  
 0= входные уровни соответствуют спецификации I<sup>2</sup>C
- бит 5 **D/-A:** Бит Данные/Адрес (только для режима I<sup>2</sup>C)  
Ведущий режим I<sup>2</sup>C  
 Зарезервировано  
  
Ведомый режим I<sup>2</sup>C  
 1 = последний принятый или переданный байт является информационным  
 0 = последний принятый или переданный байт является адресным
- бит 4 **P:** Бит STOP  
 1 = указывает, что бит STOP был обнаружен последним (этот бит равен '0' после сброса)  
 0 = бит STOP не является последним  
  
**Примечание.** Этот бит сбрасывается в '0' когда модуль MSSP выключен, SSPEN=0.
- бит 3 **S:** Бит START  
 1 = указывает, что бит START был обнаружен последним (этот бит равен '0' после сброса)  
 0 = бит START не является последним  
  
**Примечание.** Этот бит сбрасывается в '0' когда модуль MSSP выключен, SSPEN=0.
- бит 2 **R/-W:** Бит чтения/записи  
Ведомый режим I<sup>2</sup>C  
 1 = чтение  
 0 = запись  
  
**Примечание.** Значение бита действительно только после совпадения адреса и до приема бита START, STOP или -ACK.  
  
Ведущий режим I<sup>2</sup>C  
 1 = выполняется передача данных  
 0 = передачи данных не происходит  
  
**Примечание.** Логическое ИЛИ этого бита с битами SEN, RSEN, PEN, RCEN или ACKEN укажет на неактивное состояние модуля MSSP.
- бит 1 **UA:** Флаг обновления адреса устройства (только для режима 10-разрядного I<sup>2</sup>C)  
 1 = необходимо обновить адрес в регистре SSPADD  
 0 = обновление адреса не требуется
- бит 0 **BF:** Бит статуса буфера  
Прием  
 1 = прием завершен, буфер SSPBUF полон  
 0 = прием не завершен, буфер SSPBUF пуст  
  
Передача  
 1 = выполняется передача данных (исключая биты -ACK и STOP), буфер SSPBUF полон  
 0 = передача данных завершена (исключая биты -ACK и STOP), буфер SSPBUF пуст

## Обозначения

R = чтение бита

W = запись бита

U = не используется, читается как '0'

- n = значение после POR

'1' = бит установлен

'0' = бит сброшен

X = неизвестное сост.

**Регистр 15-4.** SSPCON1: Регистр управления 1 модуля MSSP (режим I<sup>2</sup>C)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
Бит 7							Бит 0

- бит 7 **WCOL:** Бит конфликта записи  
Ведущий режим, передача  
 1 = запись в SSPBUF была выполнена при не выполнении условий шины I<sup>2</sup>C  
 0 = конфликта не было
- Ведомый режим, передача  
 1 = была предпринята попытка записи в SSPBUF во время передачи предыдущего байта  
 0 = конфликта не было
- Прием (Ведомый или ведущий режим)  
 Не имеет значения
- бит 6 **SSPOV:** Бит переполнения приемника  
Прием данных  
 1 = принят новый байт, а SSPBUF содержит предыдущие данные. (сбрасывается в '0' программно)  
 0 = нет переполнения
- Передача данных  
 Не имеет значения
- бит 5 **SSPEN:** Бит включения модуля MSSP  
 1 = модуль MSSP включен, выводы SDA, SCL используются модулем MSSP  
 0 = модуль MSSP выключен, выводы работают как цифровые порты ввода/вывода
- бит 4 **CKP:** Управление удержанием линии SCL  
Ведомый режим I<sup>2</sup>C  
 1 = не управлять тактовым сигналом  
 0 = удерживать тактовый сигнал в низком логическом уровне (используется для подготовки данных)
- Ведущий режим I<sup>2</sup>C  
 Не имеет значения
- бит 3-0 **SSPM3:SSPM0:** Режим работы модуля MSSP  
 0110 = ведомый режим I<sup>2</sup>C, 7-разрядная адресация  
 0111 = ведомый режим I<sup>2</sup>C, 10-разрядная адресация  
 1000 = ведущий режим I<sup>2</sup>C, тактовый сигнал =  $F_{OSC}/(4 * (SSPADD+1))$   
 1011 = программная поддержка ведущего режима I<sup>2</sup>C (ведомый режим выключен)  
 1110 = программная поддержка ведущего режима I<sup>2</sup>C, 7-разрядная адресация с разрешением прерываний по приему бит START и STOP  
 1111 = программная поддержка ведущего режима I<sup>2</sup>C, 10- разрядная адресация с разрешением прерываний по приему бит START и STOP

**Примечание.** Не указанные комбинации битов предназначены для настройки модуля MSSP в режим SPI или зарезервированы.

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.



**Регистр 15-5.** SSPCON2: Регистр управления 2 модуля MSSP (режим I<sup>2</sup>C)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
Бит 7							Бит 0

бит 7 **GCEN:** Бит разрешения поддержки общего вызова (только для ведомого режима I<sup>2</sup>C)  
 1 = разрешить прерывания при приеме в регистр SSPSR адреса общего вызова (0000h)  
 0 = поддержка общего вызова выключена

бит 6 **ACKSTAT:** Бит статуса подтверждения (только для ведущего режима I<sup>2</sup>C)  
Передача ведущего I<sup>2</sup>C  
 1 = подтверждения не было получено от ведомого  
 0 = подтверждение от ведомого было получено

бит 5 **ACKDT:** Бит подтверждения (только для ведущего режима I<sup>2</sup>C)  
Прием ведущего I<sup>2</sup>C  
 1 = нет подтверждения  
 0 = подтверждения

**Примечание.** Значение этого бита передается при разрешении формирования бита подтверждения.

бит 4 **ACKEN:** Сформировать бит подтверждения (только для ведущего режима I<sup>2</sup>C)  
 1 = на выводах SCL, SDA формируется бит ACKDT. Аппаратно сбрасывается в '0'  
 0 = подтверждение не формируется

бит 3 **RCEN:** Разрешить прием данных (только для ведущего режима I<sup>2</sup>C)  
 1 = разрешить прием данных с шины I<sup>2</sup>C  
 0 = приемник выключен

бит 2 **PEN:** Сформировать бит STOP (только для ведущего режима I<sup>2</sup>C)  
 1 = на выводах SCL, SDA формируется бит STOP. Аппаратно сбрасывается в '0'  
 0 = бит STOP не формируется

бит 1 **RSEN:** Сформировать бит повторный START (только для ведущего режима I<sup>2</sup>C)  
 1 = на выводах SCL, SDA формируется бит повторный START. Аппаратно сбрасывается в '0'  
 0 = бит повторный START не формируется

бит 0 **SEN:** Сформировать бит START/ Включение функции «растяжения» сигнала  
Ведущий режим I<sup>2</sup>C  
 1 = на выводах SCL, SDA формируется бит START. Аппаратно сбрасывается в '0'  
 0 = бит START не формируется  
Ведомый режим I<sup>2</sup>C  
 1 = функция «растяжения» тактового сигнала включена для приема и передачи данных ведомым  
 0 = функция «растяжения» выключена

**Примечание.** Для битов ACKEN, RCEN, PEN, RSEN, SEN. Если I<sup>2</sup>C модуль не находится в пассивном состоянии, то ни один из битов не может быть установлен в '1' (поставлен в очередь), не может быть выполнена запись в регистр SSPBUF (или запись в регистр SSPBUF заблокирована).

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.

### 15.4.2 Работа модуля MSSP в режиме I<sup>2</sup>C

Включение модуля MSSP выполняется установкой бита SSPEN (SSPCON1<5>) в '1'.

В регистре SSPCON1 устанавливается требуемый режим I<sup>2</sup>C. С помощью четырех битов (SSPCON1<3:0>) можно выбрать один из режимов I<sup>2</sup>C:

- Ведомый режим I<sup>2</sup>C, 7-разрядная адресация;
- Ведомый режим I<sup>2</sup>C, 10-разрядная адресация;
- Ведущий режим I<sup>2</sup>C, тактовый сигнал =  $F_{OSC}/(4 * (SSPAD+1))$ ;
- Программная поддержка ведущего режима I<sup>2</sup>C.

При выборе любого режима I<sup>2</sup>C выводы SCL и SDA должны быть настроены на вход, установкой соответствующих битов регистра TRISC в '1'. После выбора режима I<sup>2</sup>C и установки бита SSPEN в '1' выводы SDA (линия данных), SCL (линия синхронизации) подключаются к модулю MSSP.

### 15.4.3 Режим ведомого I<sup>2</sup>C

В режиме ведомого I<sup>2</sup>C выводы SCL, SDA должны быть настроены на вход (TRISC<4:3> = 1). Модуль MSSP автоматически изменит направление вывода SDA при передаче данных ведомым.

В режиме ведомого автоматически генерируется прерывание при совпадении адреса. Дополнительно пользователь может выбрать режим, при котором будут генерироваться прерывания при обнаружении битов START, STOP.

При совпадении адреса или после приема байта данных (если предварительно совпал адрес) аппаратно генерируется бит подтверждения (-ACK), а затем данные из регистра SSPSR загружаются в SSPBUF.

Существует несколько условий, при которых бит -ACK не формируется (эти условия могут возникать одновременно):

- a) Бит BF (SSPSTAT<0>) = 1 перед приемом данных
- b) Бит переполнения SSPOV (SSPSTAT<6>) = 1 перед приемом данных

Если бит BF = 1, то значение из SSPSR не переписывается в регистр SSPBUF, а биты SSPIF и SSPOV устанавливаются в '1'. Бит BF аппаратно сбрасывается в '0' при чтении из регистра SSPBUF, а бит SSPOV необходимо сбрасывать в '0' программно.

Минимальная длительность логических уровней входного сигнала синхронизации SCL должна удовлетворять требованиям раздела электрических характеристик (см. параметры 100 и 101).

#### 15.4.3.1 Адресация

После включения модуля MSSP ожидается формирование на шине бита START. Получив бит START, принимается 8 бит в сдвиговый регистр SSPSR. Выборка битов происходит по переднему фронту синхронизирующего сигнала на выводе SCL. По заднему фронту восьмого такта сигнала SCL значение в регистре SSPSR<7:1> сравнивается с содержимым регистра SSPADD. Если значение адреса совпадает, а биты BF и SSPOV равны нулю, то выполняются следующие действия:

- a) Значение регистра SSPSR загружается SSPBUF по 8-му заднему фронту сигнала SCL
- b) Устанавливается флаг BF в '1' (буфер полон) по 8-му заднему фронту сигнала SCL
- c) Генерируется бит -ACK
- d) Устанавливается флаг прерываний SSPIF в '1' (если разрешено, генерируется прерывание) по 9-му заднему фронту сигнала SCL.

В режиме ведомого при 10-разрядной адресации необходимо принять два байта адреса. Пять старших бит первого байта определяют: является ли полученный байт первым байтом 10-разрядного адреса. Бит R/W(SSPSTAT<2>) должен быть настроен для приема второго байта адреса. Для 10-разрядной адресации первый байт адреса должен иметь формат '1111 0 A9 A8 0', где A9:A8 два старших бита адреса. Рекомендуемая последовательность действий при 10-разрядной адресации (шаги 7-9 для передачи ведомым):

1. Принять старший байт адреса (устанавливаются биты SSPIF, BF и UA (SSPSTAT<1> в '1'))
2. Записать младший байт адреса в регистр SSPADD (аппаратно сбрасывается бит UA в '0' и "отпускается" линия SCL)
3. Выполнить чтение из регистра SSPBUF (сбрасывается бит BF в '0') и сбросить флаг SSPIF в '0'
4. Принять младший байт адреса (устанавливаются биты SSPIF, BF и UA (SSPSTAT<1> в '1'))
5. Записать старший байт адреса в регистр SSPADD (аппаратно сбрасывается бит UA в '0' и "отпускается" линия SCL)
6. Выполнить чтение из регистра SSPBUF (сбрасывается бит BF в '0') и сбросить флаг SSPIF в '0'
7. Принять бит повторный START
8. Принять старший байт адреса (устанавливаются биты SSPIF и BF в '1')
9. Выполнить чтение из регистра SSPBUF (сбрасывается бит BF в '0') и сбросить флаг SSPIF в '0'.

#### 15.4.3.2 Прием данных ведомым

Если бит R/-W в адресном байте равен нулю, а принятый адрес совпадает с адресом устройства, то бит R/-W в регистре SSPSTAT сбрасывается в '0'. Принятый адрес загружается в регистр SSPBUF.

Если бит BF (буфер полон) или SSPOV (переполнение буфера) установлен в '1', то бит подтверждения -ACK не формируется. Эту ошибку необходимо обработать программно. Если было выполнено чтение из регистра SSPBUF но не был сброшен бит SSPOV в '0', то бит -ACK не формируется.

Прерывание от модуля MSSP генерируются при каждом принятом байте с шины I<sup>2</sup>C, установкой флага SSPIF в '1' (сбрасывается программно). Регистр SSPSTAT используется для определения типа принятого байта.

Если бит SEN установлен (SSPCON2<0>=1), то линия синхронизации SCL будут удерживаться в низком уровне после каждого принятого байта. Тактовый сигнал отпускается установкой бита СКР (SSPCON1<4>) в '1' (Смотрите раздел «Удержание тактового сигнала»).

#### 15.4.3.3 Передача данных ведомым

Если бит R/-W в адресном байте равен '1', а принятый адрес совпадает с адресом устройства, то бит R/-W в регистре SSPSTAT устанавливается в '1'. Принятый адрес загружается в регистр SSPBUF. Бит -ACK формируется девятым битом, после чего линия SCL удерживается в низком логическом уровне. Передаваемые данные должны быть записаны в регистр SSPBUF, после чего они автоматически переписываются в регистр SSPSR. После записи данных необходимо "отпустить" сигнал SCL установкой бита СКР(SSPCON1<4>) в '1'. Ведущий шины контролирует состояние линии SCL, ожидая смены уровня сигнала. Восемь бит загруженных данных последовательно сдвигаются по заднему фронту сигнала SCL, что гарантирует достоверное значение данных на линии SDA (см. рисунок 15-9).

Ведущее устройство формирует бит подтверждения -ACK на девятом такте сигнала SCL для каждого принятого байта. Если бит подтверждения -ACK не сформирован (высокий уровень сигнала SDA), передача данных завершена. Логика ведомого устройства настраивается на обнаружение бита START. Если бит подтверждения -ACK был получен (низкий уровень сигнала SDA), в регистр SSPBUF необходимо записать новый байт для передачи. Линию SCL также необходимо "отпустить", установкой бита СКР в '1'.

Модуль MSSP генерирует прерывание по каждому переданному байту, устанавливая бит SSPIF в '1' по заднему фронту девятого такта сигнала SCL. Флаг SSPIF должен быть сброшен программно. Регистр SSPSTAT используется для определения статуса передачи данных.

**Рисунок 15-8.** Временная диаграмма приема данных ведомым I<sup>2</sup>C (7-разрядная адресация, SEN=0)

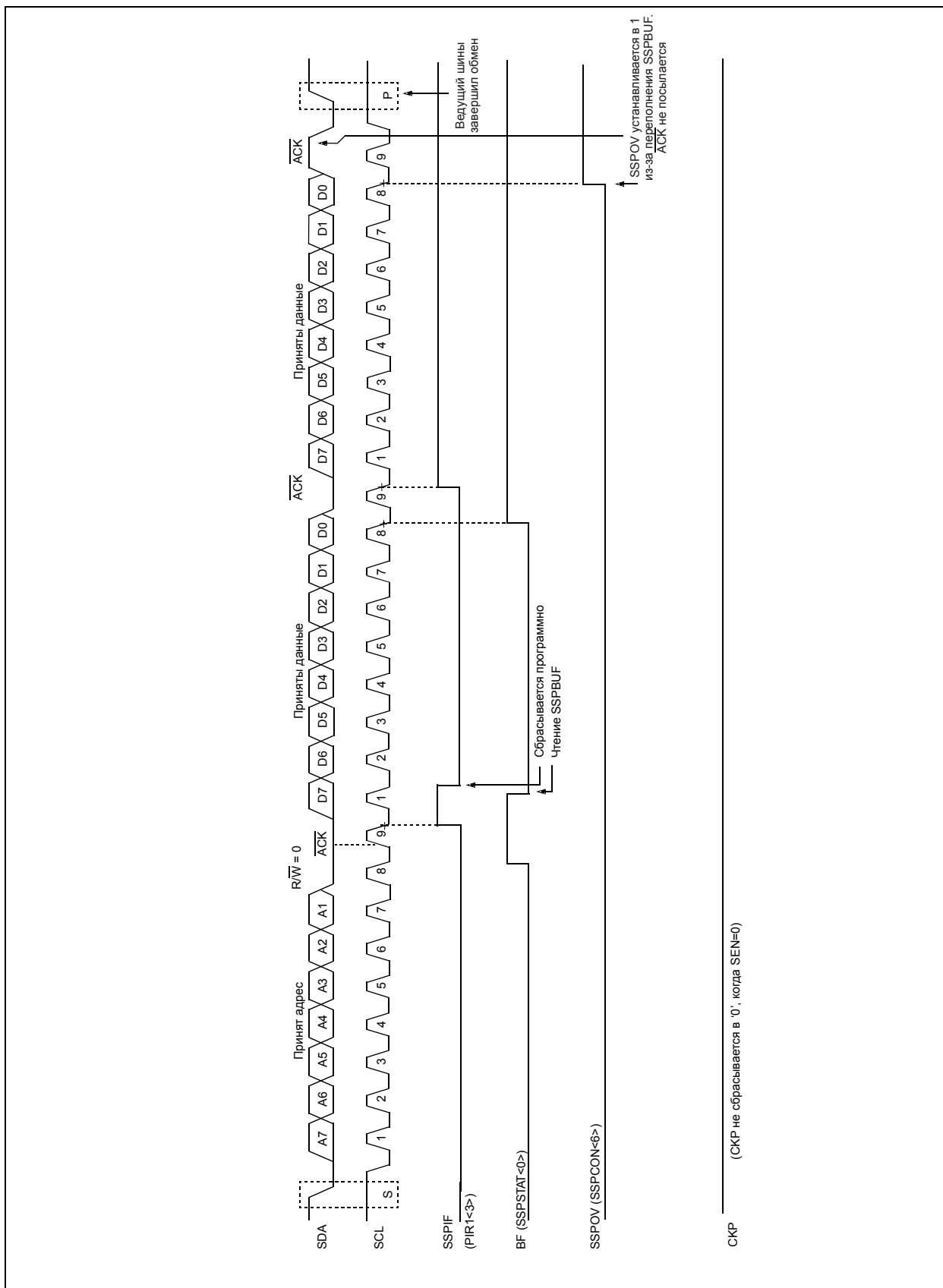


Рисунок 15-9. Временная диаграмма передачи данных ведомым I<sup>2</sup>C (7-разрядная адресация, SEN=0)

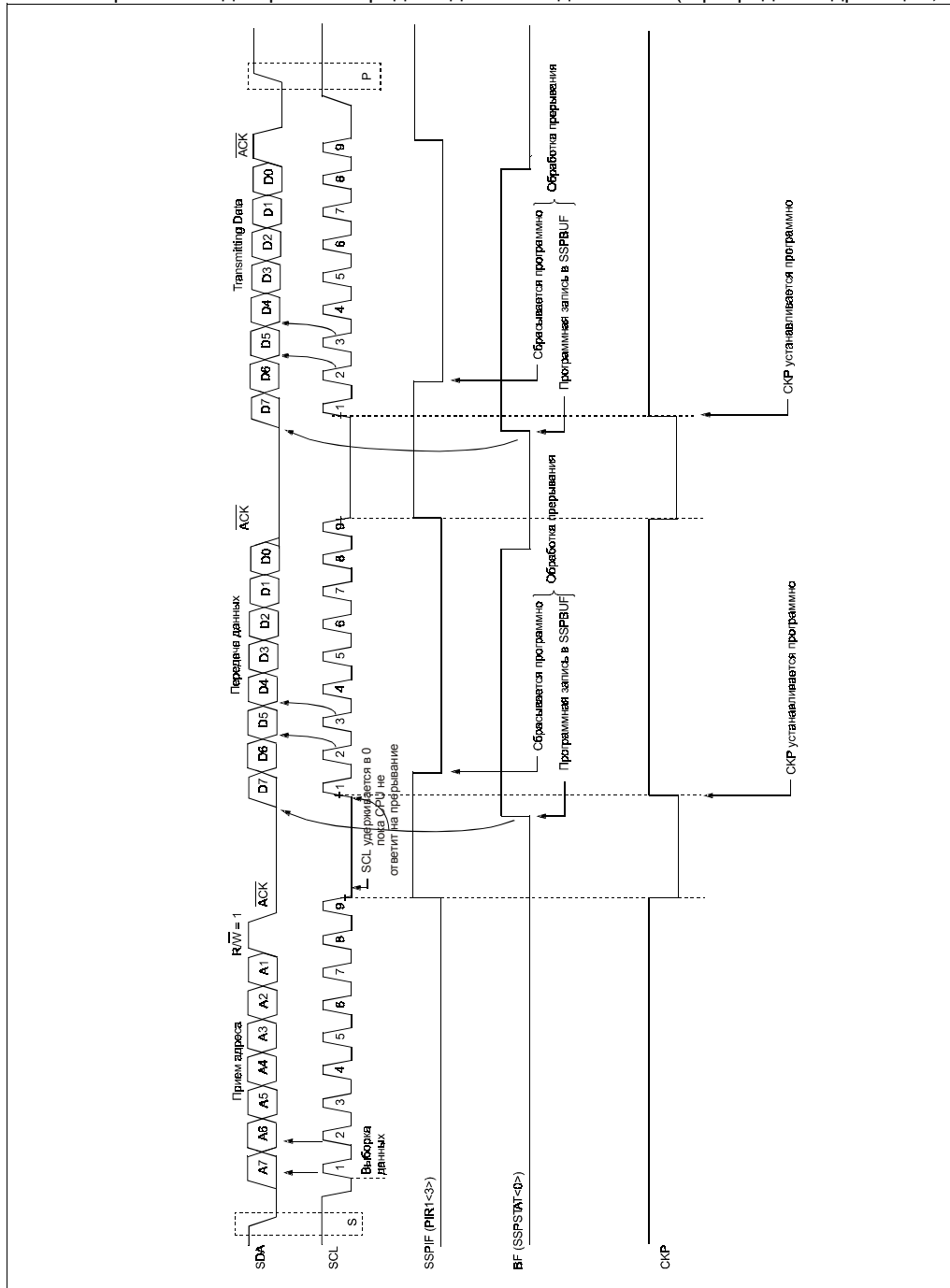
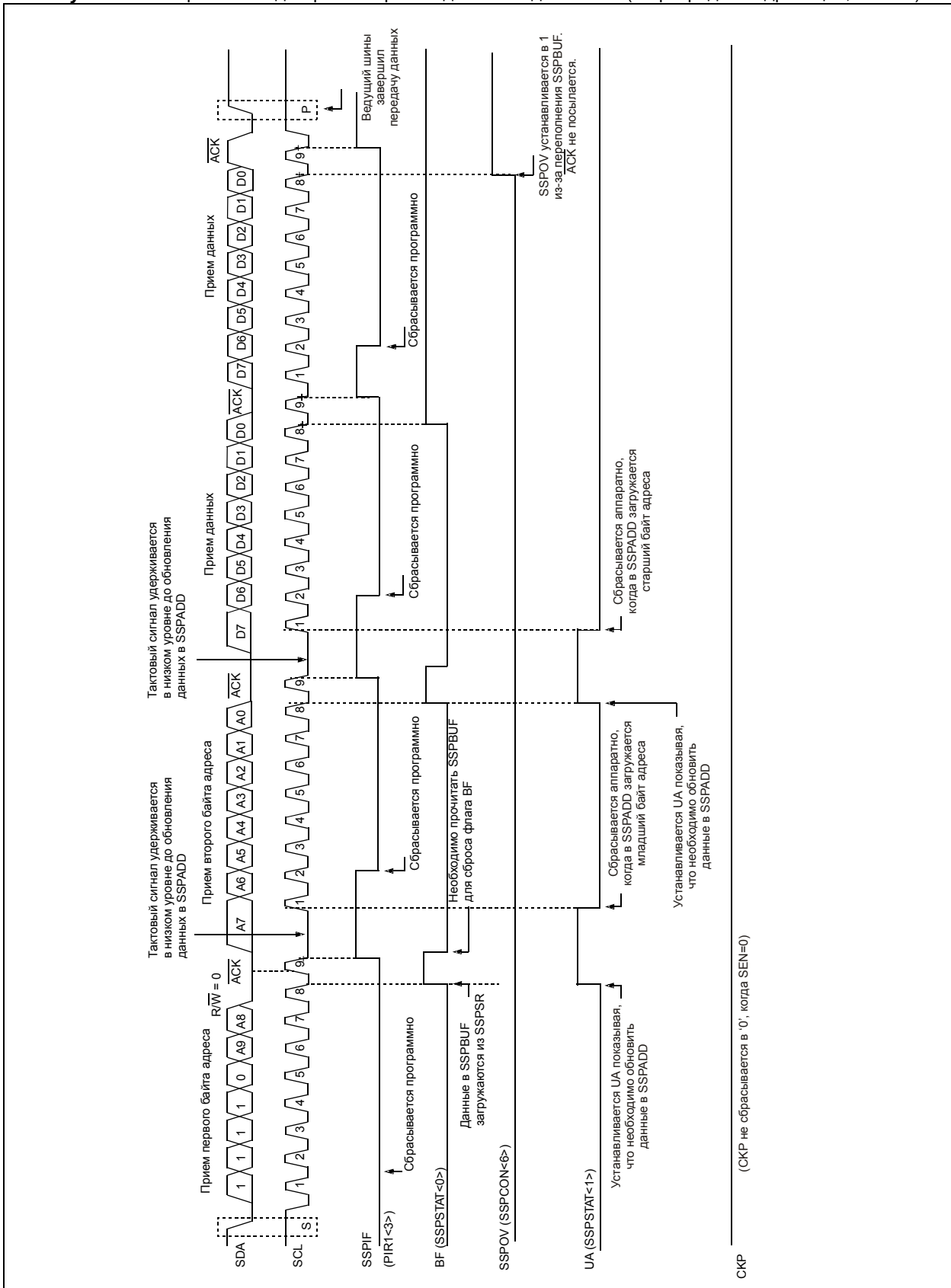


Рисунок 15-10. Временная диаграмма приема данных ведомым I<sup>2</sup>C (10-разрядная адресация, SEN=0)





#### 15.4.4 Удержание тактового сигнала

В режиме 7 и 10-разрядной адресации возможно автоматическое удержание тактового сигнала при передаче данных.

Бит SEN (SSPCON2<0>) позволяет включить режим удержания тактового сигнала во время приема данных. Установленный в '1' бит SEN заставляет удерживать вывод SCL в низком логическом уровне после приема каждого байта.

##### 15.4.4.1 Удержание тактового сигнала в режиме ведомого с 7-разрядной адресацией при приеме данных (SEN=1)

В режиме ведомого с 7-разрядной адресацией по заднему фронту 9-го тактового импульса (в конце бита ACK), если бит BF установлен в '1', то бит СКР автоматически сбросится в '0' удерживая линию SCL в низком логическом уровне. Бит СКР должен быть установлен в '1' программой пользователя прежде, чем прием будет продолжен. Удерживая линию SCL в низком логическом уровне у пользователя есть время, чтобы прочитать содержимое SSPBUF и выполнить необходимые действия перед приемом очередного байта. Эта функция позволяет предотвратить переполнение входного буфера (смотрите рисунок 15-13).

**Примечания:**

1. Если пользователь прочитает регистр SSPBUF перед задним фронтом 9-го тактового импульса (что сбросит бит BF в '0'), бит СКР не будет сброшен в '0' и тактовый сигнал удерживаться не будет.

2. Бит СКР устанавливается в '1' программно, независимо от состояния бита BF. Необходима некоторая осторожность в сбросе бита BF перед новым приемом данных, чтобы предотвратить условие переполнения буфера.

##### 15.4.4.2 Удержание тактового сигнала в режиме ведомого с 10-разрядной адресацией при приеме данных (SEN=1)

В режиме ведомого с 10-разрядной адресацией во время приема адреса также поддерживается функция удержания тактового сигнала, но бит СКР не сбрасывается. Если бит UA установлен после 9 тактов синхросигнала, то тактовый сигнал будет удерживаться. Бит UA устанавливается после приема старшего байта 10-разрядного адреса, а также после приема 2-й части 10-разрядного адреса с битом R/-W = 0. Прекращение удержания тактового сигнала происходит после обновления данных в регистре SSPADD. Тактовый сигнал будет удерживаться после приема каждого байта данных, как описано в режиме 7-разрядной адресации.

**Примечание.** Если пользователь проверяет состояние бита UA и сбрасывает его обновляя данные в SSPADD до 9-го тактового импульса (или произошел сброс BF чтением SSPBUF), то тактовый сигнал не будет удерживаться (бит СКР не будет установлен в '1'). Удержание тактового сигнала на основе состояния бита BF происходит только при приеме данных.

##### 15.4.4.3 Удержание тактового сигнала в режиме ведомого с 7-разрядной адресацией при передаче данных

В режиме ведомого с 7-разрядной адресацией при передаче данных бит СКР автоматически сбрасывается после заднего фронта 9-го тактового импульса, если бит BF = 0. Удержание тактового сигнала происходит независимо от состояния бита SEN.

В программе пользователя необходимо установить бит СКР перед новой передачей данных. Удерживая линию SCL в низком логическом уровне у пользователя есть время выполнить необходимые действия и загрузить новые данные в SSPBUF прежде, чем ведущий шины начнет прием данных (смотрите рисунок 15-9).

**Примечания:**

1. Если пользователь очищает бит BF чтением содержимого SSPBUF до заднего фронта 9-го тактового импульса, то бит СКР не будет сброшен в '0' и тактовый сигнал удерживаться не будет.

2. Бит СКР может быть установлен в '1' вне зависимости от состояния бита BF.

##### 15.4.4.4 Удержание тактового сигнала в режиме ведомого с 10-разрядной адресацией при передаче данных

В режиме ведомого с 10-разрядной адресацией при приеме адресной последовательности управление тактовым сигналом происходит аналогично, как при приеме данных по состоянию бита UA. Первые два адресных байта сопровождаются третьим адресным байтом, который содержит старшие биты 10-разрядного адреса и бит R/-W = 1. После приема 3-го адресного байта бит UA не устанавливается и модуль MSSP управляет тактовым сигналом в зависимости от состояния бита BF (смотрите рисунок 15-11).



#### 15.4.4.5 Синхронизация тактового сигнала и бит СКР (SEN = 1)

Бит SEN также используется для синхронизации тактового сигнала при записи в бит СКР. Если пользователь сбросит бит СКР в '0', то SCL будет удерживаться низким логическом уровне. Когда SEN=1, SCL не будет удерживаться в низком логическом уровне, пока на SCL не появится '0'. Линия SCL будет удерживаться в низком логическом уровне, пока СКР не будет установлен в '1'. Управление удержанием линии SCL не нарушает временные требования к шине I2C (смотрите рисунок 15-12).

**Примечание.** Если бит SEN=0 и произошел сброс бита СКР, то линия SCL будет немедленно переведена в низкий логический уровень независимо от текущего состояния.

**Рисунок 15-12.** Временная диаграмма синхронизации тактового сигнала

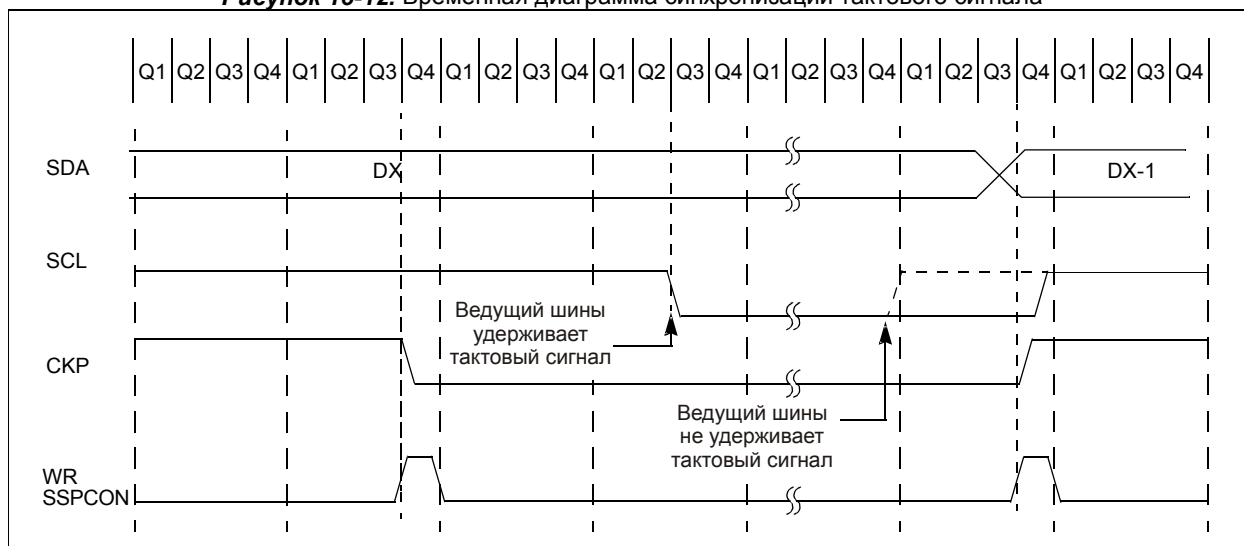


Рисунок 15-13. Временная диаграмма приема данных ведомым I<sup>2</sup>C (7-разрядная адресация, SEN=1)

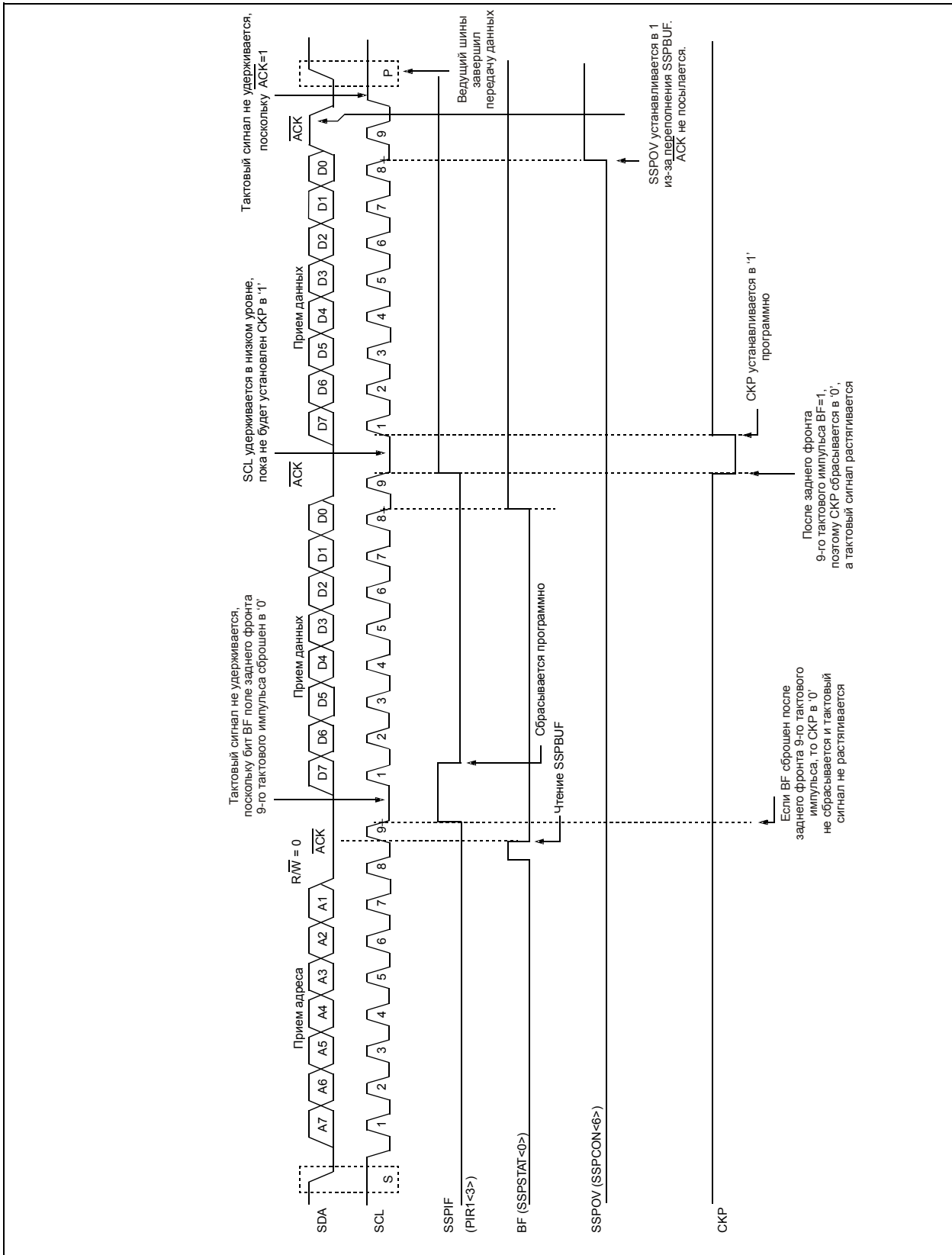
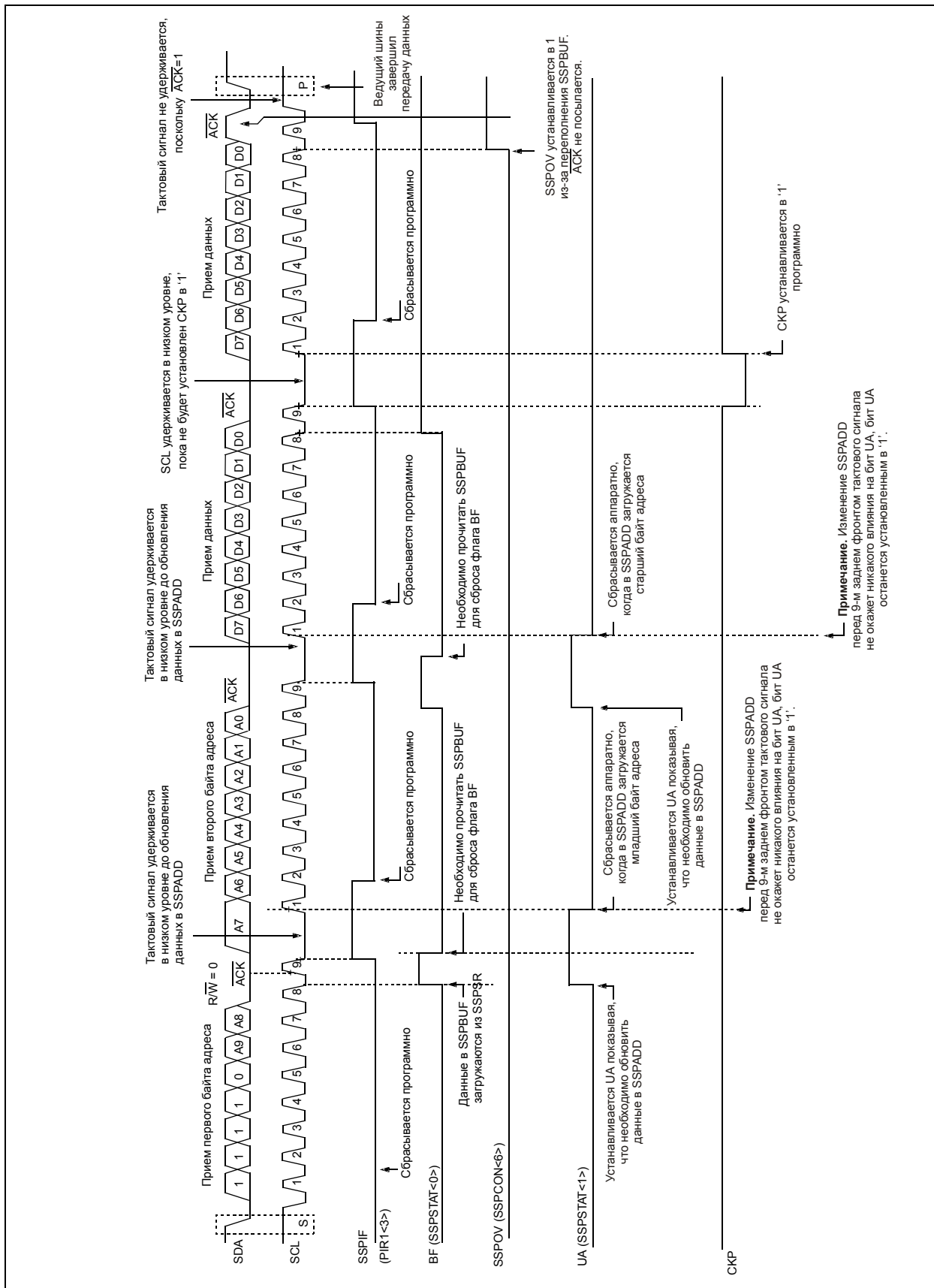


Рисунок 15-14. Временная диаграмма приема данных ведомым I<sup>2</sup>C (10-разрядная адресация, SEN=1)



### 15.4.5 Поддержка общего вызова

Процедура адресации на шине I<sup>2</sup>C такова, что первый после START байт определяет, к какому из ведомых устройств обращается ведущий шины. Исключением является адрес общего вызова, при использовании которого теоретически должны откликнуться все ведомые.

Адрес общего вызова – один из восьми зарезервированных адресов шины I<sup>2</sup>C, все биты которого равны нулю (в том числе и бит R/W).

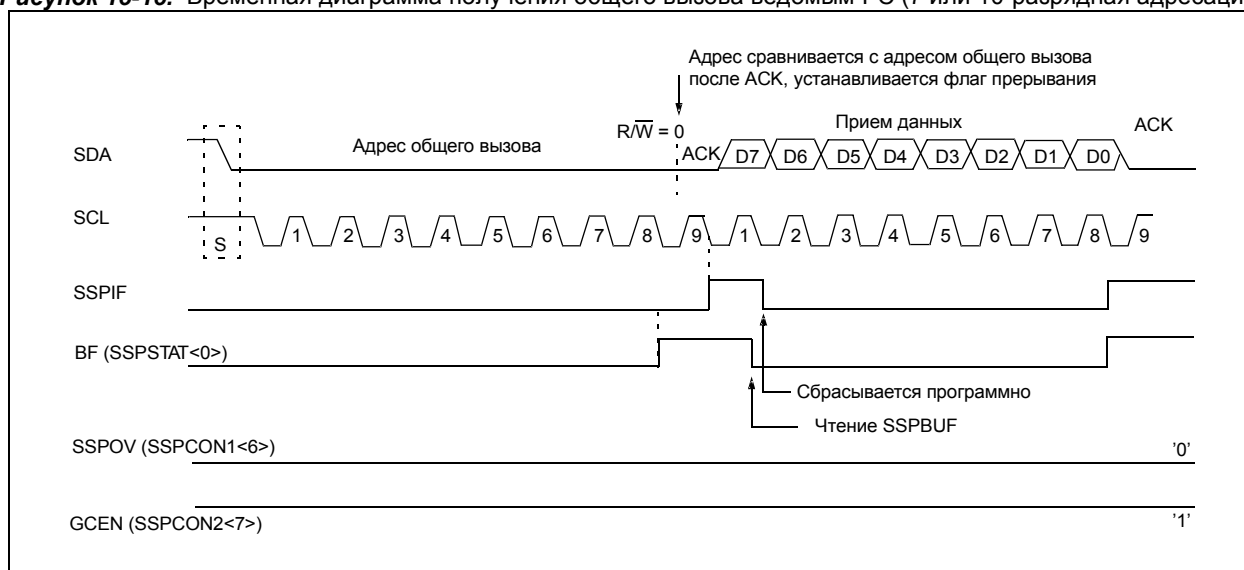
Распознавание адреса общего вызова включается установкой бита GCEN (SSPCON2<7>) в '1'. Следующий за START байт помещается в регистр SSPSR и сравнивается с содержимым SSPADD и фиксированным адресом общего вызова.

При получении адреса общего вызова, содержимое SSPSR переписывается в регистр SSPBUF (устанавливается бит BF в '1') по заднему фронту восьмого такта. На девятом такте формируется бит подтверждения (-ACK) и устанавливается флаг прерываний SSPIF в '1'.

Содержимое регистра SSPBUF позволяет определить получение общего вызова.

В 10-разрядном режиме требуется обновить содержимое регистра SSPADD для проверки соответствия младшего байта адреса после установки бита UA(SSPSTAT<1>) в '1'. Если получен адрес общего вызова в 10-разрядном режиме адресации при GCEN=1, то обновлять значение адреса не требуется. После формирование бита подтверждения ведущее устройство начнет принимать данные (см. рисунок 15-15).

**Рисунок 15-15.** Временная диаграмма получения общего вызова ведомым I<sup>2</sup>C (7 или 10-разрядная адресация)



### 15.4.6 Режим ведущего I2C

Ведущий режим включается соответствующей настройкой битов SSPM в регистре SSPCON1 и установкой в '1' бита SSPEN. В режиме ведущего выводы SCL, SDA управляются аппаратно.

В режиме ведущего поддерживается генерация прерываний при обнаружении на шине битов START и STOP. Биты STOP (P) и START (S) в регистре SSPSTAT равны '0' после сброса микроконтроллера или при выключенном модуле MSSP. Шина находится в неактивном состоянии, если бит P=1 или оба бита S, P равны '0'.

Ведущий режим включается соответствующей настройкой битов SSPM в регистре SSPCON1 и установкой в '1' бита SSPEN. После включения ведущего режима аппаратно могут выполняться следующие функции:

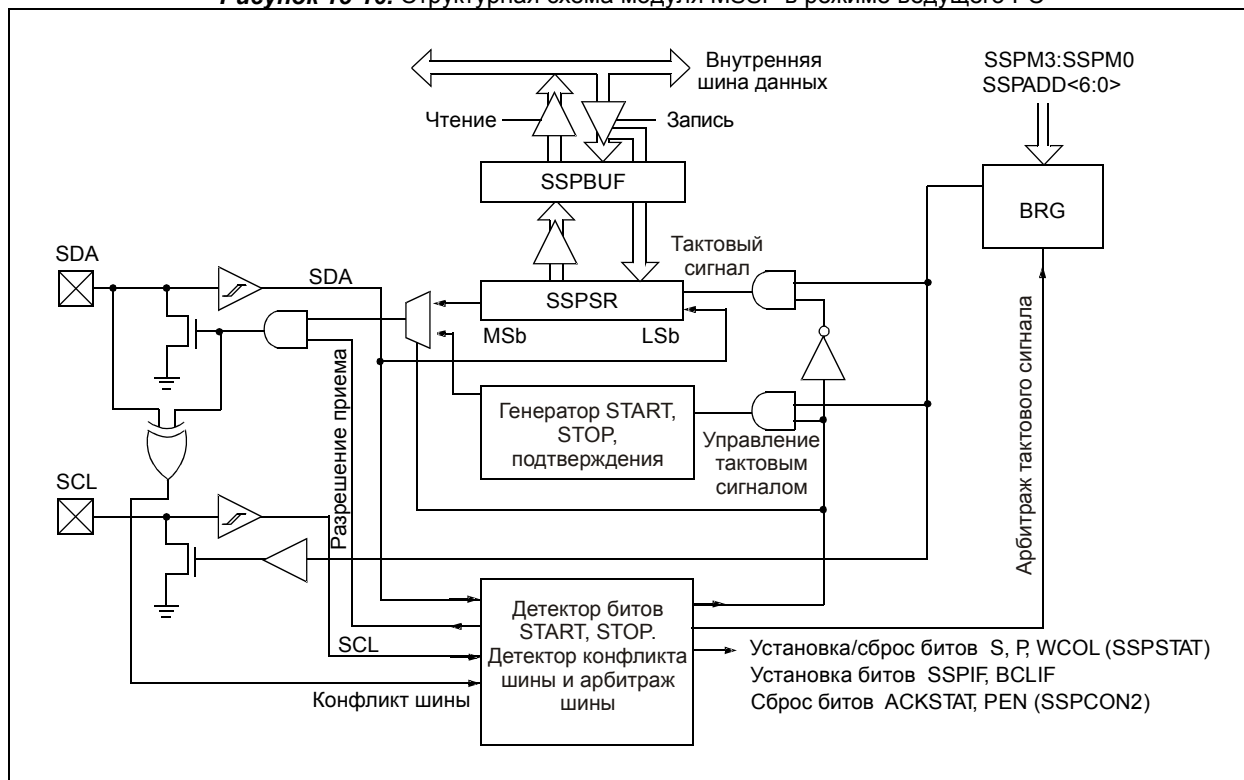
1. Формирование бита START на линии SCL и SDA
2. Формирование бита повторный START на линии SCL и SDA
3. Записью в регистр SSPBUF инициализируется передача байта данных/адреса
4. Формирование бита STOP на линии SCL и SDA
5. Настройка порта I2C на прием данных
6. Формирование бита подтверждения ACK после приема байта на линии SCL и SDA

**Примечание.** Модуль MSSP в ведущем режиме не имеет стека событий. Это означает, что пользователь не может к примеру инициировать передачу бита START и произвести запись в SSPBUF до того, как START будет завершен. При попытке осуществления подобной операции будет установлен бит WCOL в '1', указывая, что запись в регистр SSPBUF не произошла.

Следующие события на шине I<sup>2</sup>C могут привести к установке флага прерываний SSPIF в '1':

- Выполнено условие START
- Выполнено условие STOP
- Передан/принят байт данных
- Передан бит подтверждения
- Выполнено условие повторный START

**Рисунок 15-16.** Структурная схема модуля MSSP в режиме ведущего I<sup>2</sup>C



#### 15.4.6.1 Работа в режиме ведущего I<sup>2</sup>C

Ведущий формирует на шине I<sup>2</sup>C тактовый сигнал и биты START, STOP. Текущий обмен данными завершается после формирования бита STOP или повторный START. Поскольку бит повторный START инициирует новый обмен данными, шина I<sup>2</sup>C остается занятой.

Передатчик ведущего выдает данные на линию SDA, а тактовый сигнал на линию SCL. Первый передаваемый байт содержит 7-разрядный адрес приемника (при 7-разрядной адресации устройств) и бит направления данных R/W=0. После каждого переданного 8-разрядного байта принимается бит подтверждения -ACK. Биты START и STOP формируются для указания начала и завершения передачи данных.

В режиме приема ведущем на шину I<sup>2</sup>C сначала выдается байт, содержащий 7-разрядный адрес передатчика (при 7-разрядной адресации устройств) и бит направления данных R/W = 1. Данные принимаются с линии SDA, а на линии SCL формирует тактовый сигнал. После каждого принятого байта формируется бит подтверждения. Биты START и STOP формируются для указания начала и завершения передачи данных.

Генератор скорости обмена BRG используется для установки требуемой частоты тактового сигнала на линии SCL – 100кГц, 400кГц или 1МГц. Значение для перезагрузки BRG берется из 7 младших бит регистра SSPADD. BRG начинает работу сразу после записи данных в регистр SSPBUF. Как только операция завершена (передан последний бит байта и принят бит подтверждения) генератор BRG останавливается, вывод SCL "отпускается".

Рекомендованная последовательность действий при передаче данных:

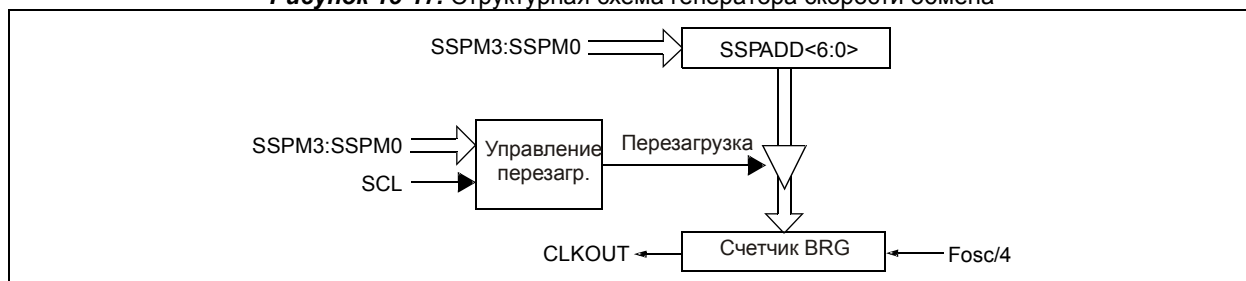
- a) Инициировать START установкой бита SEN (SSPCON2<0>) в '1'
- b) Ожидать прерывание (если оно разрешено) или установку бита SSPIF после завершения выполнения START
- c) Записью в SSPBUF инициируется передача адреса
- d) 7 бит адреса (при 7-разрядной адресации) и бит направления данных выдается на SDA
- e) Принять подтверждение -ACK от приемника, результат записывается в бит ACKSTAT регистра SSPCON2
- f) По заднему фронту девятого такта устанавливается бит SSPIF в '1'
- g) Записью в SSPBUF инициируется передача данных
- h) 8 бит данных выдаются на SDA
- i) Принять подтверждение -ACK от приемника, результат записывается в бит ACKSTAT регистра SSPCON2
- j) По заднему фронту девятого такта устанавливается бит SSPIF в '1'
- k) Инициировать STOP установкой бита PEN (SSPCON2<6>) в '1'
- l) Ожидать прерывание (если оно разрешено) или установку бита SSPIF после завершения выполнения STOP

### 15.4.7 Генератор скорости обмена

В ведущем режиме, значение для перезагрузки BRG берется из младших 7 бит регистра SSPADD (см. рисунок 15-17). После загрузки SSPADD в BRG, счетчик BRG считает, декрементируя до нуля (в тактах Q2 и Q4), и останавливается до следующей перезагрузки, которая не всегда производится автоматически. Если после окончания счета сигнал на линии SCL должен перейти в высокий уровень, перезагрузка производится только после этого перехода.

В таблице 15-3 представлены скорости обмена на шине I<sup>2</sup>C в зависимости от тактовой частоты и значения перезагрузки BRG в регистре SSPADD.

**Рисунок 15-17.** Структурная схема генератора скорости обмена



**Таблица 15-3.** Частота тактового сигнала шины I2C

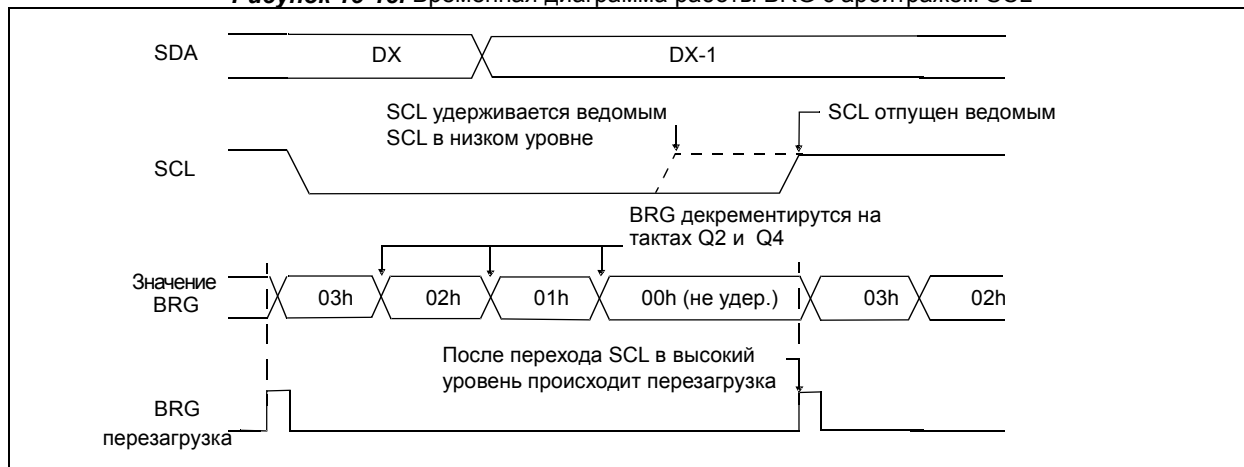
F <sub>cy</sub> (МГц)	2 x F <sub>cy</sub> (МГц)	Значение BRG	F <sub>scl</sub>
10	20	19h	400кГц
10	20	20h	312.5кГц
10	20	3Fh	100кГц
4	8	0Ah	400кГц
4	8	0Dh	308кГц
4	8	28h	100кГц
1	2	03h	333кГц
1	2	0Ah	100кГц
1	2	00h	1МГц

**Примечание.** Интерфейс I2C не приспособлен для работы на частоте 400кГц (более 100кГц), но если необходимо, то может работать на высокой скорости передачи данных.

### 15.4.7.1 Синхронизация тактового сигнала

Синхронизация тактового сигнала производится каждый раз во время приема/передачи данных, формирования бита START или STOP и т.д. При "отпускании" ведущем SCL (SCL должен перейти в высокий уровень). В этот момент BRG приостанавливается пока на SCL не появится высокий уровень сигнала. При появлении сигнала высокого уровня на SCL генератор BRG перегружается значением из SSPADD<6:0> и начинает счет. Если после окончания счета сигнал на линии SCL должен перейти в высокий уровень, перезагрузка производится только после этого перехода (смотрите рисунок 15-18).

**Рисунок 15-18.** Временная диаграмма работы BRG с арбитражем SCL





### 15.4.8 Формирование бита START в режиме ведущего I<sup>2</sup>C

Чтобы инициировать формирование бита START на шине I<sup>2</sup>C, необходимо установить бит SEN (SSPCON2<0>) в '1'. Если на линиях SCL и SDA высокий уровень сигнала, BRG загружается значением из регистра SSPADD <6:0> и начинает счет. Если по окончании отсчета времени T<sub>BRG</sub> сохраняется высокий уровень на SCL и SDA, сигнал SDA переводится в низкий логический уровень. Перевод SDA в низкий уровень, в то время когда на линии SCL высокий, и есть бит START на шине I<sup>2</sup>C. После формирования бита START устанавливается бит S и флаг прерывания SSPIF в '1', BRG загружается новым значением и начинает счет. По окончании счета бит SEN (SSPCON2<0>) автоматически сбрасывается в '0', генератор останавливается, на SDA остается низкий уровень сигнала. Формирование бита START завершено.

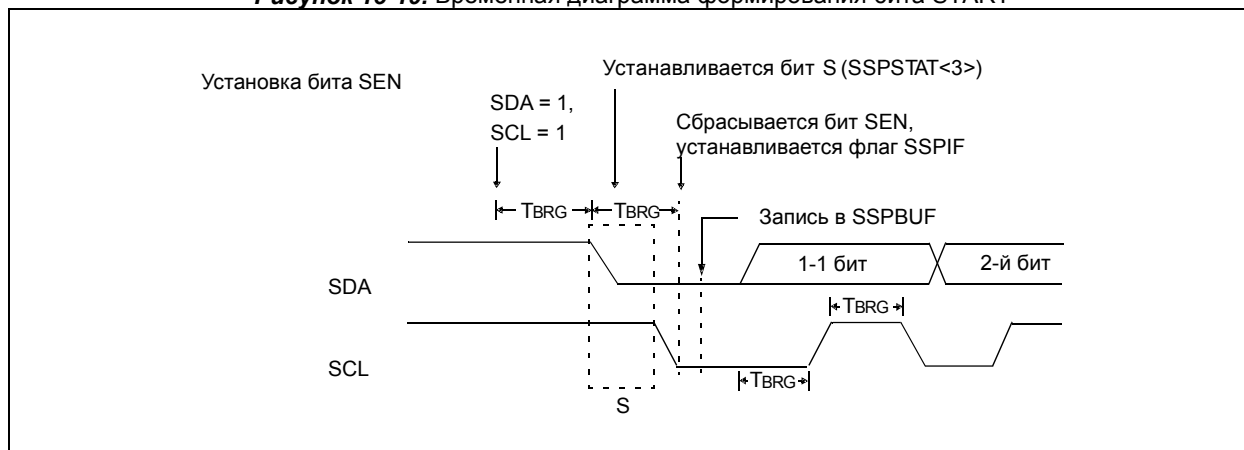
**Примечание.** Если в начале формирования бита START на SDA или SCL присутствует низкий уровень или во время выполнения START низкий уровень на SCL появляется раньше, чем на SDA, устанавливается флаг прерывания BCLIF (конфликт шины), выполнение START прекращается, MSSP переходит в состояние ожидания.

#### 15.4.8.1 Флаг WCOL

Если во время формирования бита START производится попытка записи в SSPBUF, устанавливается бит WCOL, а запись не происходит.

**Примечание.** Поскольку MSSP не имеет стека событий, установка любого из младших 5 битов регистра SSPCON2 до завершения формирования бита START запрещено.

**Рисунок 15-19.** Временная диаграмма формирования бита START



### 15.4.9 Формирование бита повторный START в режиме ведущего I2C

Чтобы инициировать формирование бита повторный START, необходимо установить бит RSEN (SSPCON2<1>) в то время, когда модуль MSSP находится в режиме ожидания. При включении формирования бита повторный START линия SCL переводится в низкий логический уровень. Когда на SCL устанавливается низкий уровень сигнала, BRG перезагружается содержимым регистра SSPADD<6:0> и начинает отсчет, при этом SDA "отпускается" в высокий уровень. Если по окончании счета BRG, на линии SDA сохраняется высокий уровень, SCL также "отпускается". BRG вновь перезагружается и начинает отсчет. Если по окончании отсчета времени  $T_{BRG}$  сохраняется высокий уровень на линиях SCL и SDA, сигнал SDA переводится в низкий уровень. Бит RSEN (SSPCON2<1>) аппаратно сбрасывается в '0'. После формирования бита повторный START на шине I<sup>2</sup>C устанавливается бит S (SSPSTAT<3>) в '1'. Флаг SSPIF не будет установлен в '1' до тех пор, пока BRG не перезагрузится новым значением и начнет счет.

#### Примечания:

1. Если бит RSEN установлен в '1' во время выполнения какой либо операции на шине, то не будет выполнено никаких действий.
2. Если на SDA низкий уровень при переходе SCL из низкого уровня в высокий или низкий уровень на SCL появляется раньше, чем на SDA, устанавливается флаг прерывания BCLIF (конфликт шины), формирование бита повторный START прекращается, MSSP переходит в состояние ожидания.

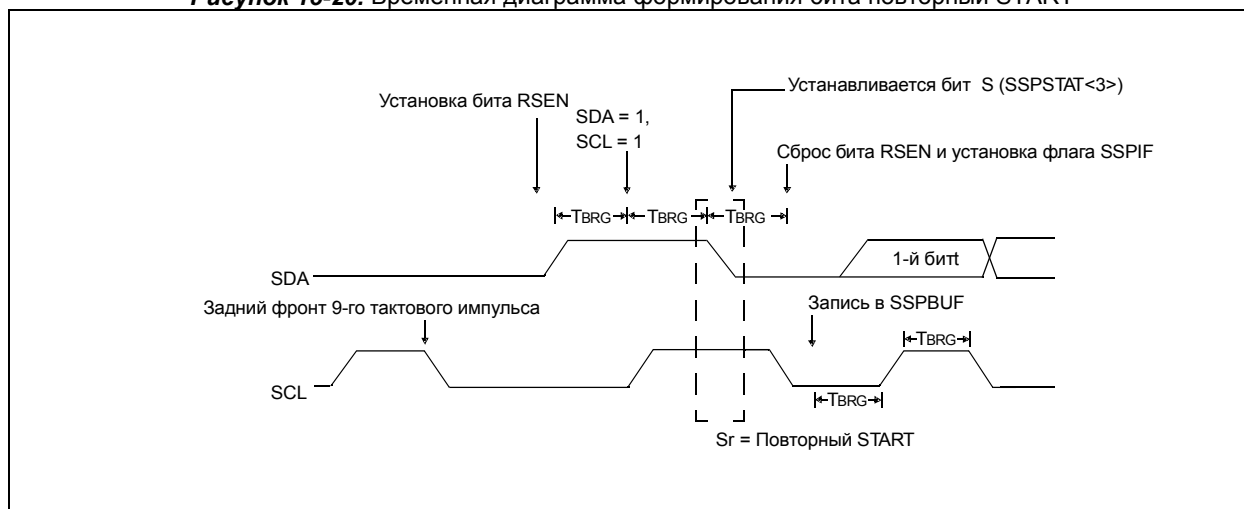
Сразу после установки бита SSPIF пользователь может загрузить регистр SSPBUF 7-разрядным адресом (для 7-разрядного режима адресации) или старшим байтом 10-разрядного адреса. По завершению передачи 8 бит и получения подтверждения ACK, можно передать байт данных или младший байт адреса.

#### 15.4.9.1 Флаг WCOL

Если во время формирования бита повторный START производится попытка записи в SSPBUF, устанавливается бит WCOL, а запись не происходит.

**Примечание.** Поскольку MSSP не имеет стека событий, установка любого из младших 5 битов регистра SSPCON2 до завершения формирования бита повторный START запрещено.

Рисунок 15-20. Временная диаграмма формирования бита повторный START



### 15.4.10 Передача данных в режиме ведущего I<sup>2</sup>C

Для инициализации передачи байта данных, 7-разрядного адреса или любой части 10-разрядного адреса нужно просто записать байт в регистр SSPBUF. В результате чего установится бит BF в '1', а BRG начнет формировать сигнал для передачи данных. Каждый передаваемый бит будет выдаваться на SDA по заднему фронту сигнала SCL. Низкий уровень на SCL удерживается в течение одно периода BRG. Данные должны поступать на SDA до прихода переднего фронта на SCL (см. раздел временных характеристик, параметр 106). После "отпускания" SCL в высокий уровень на время T<sub>BRG</sub> данные должны удерживаться на SDA в том же состоянии. По окончании передачи 8-го бита сбрасывается флаг BF в '0', а ведущий "отпускает" SDA с тем, чтобы принять бит подтверждения. По заднему фронту 9-го такта значение ACK записывается в бит ACKSTAT регистра SSPCON2. В этот же момент устанавливается флаг SSPIF в '1', а BRG отключается до следующей операции на шине оставляя низкий уровень на SCL и отпуская SDA (смотрите рисунок 15-21).

#### 15.4.10.1 Флаг BF

В режиме передачи данных бит BF (SSPSTAT<0>) аппаратно устанавливается в '1' после записи данных в регистр SSPBUF и аппаратно сбрасывается после передачи 8 бит данных.

#### 15.4.10.2 Флаг WCOL

Если во время передачи данных производится попытка записи в регистр SSPBUF, устанавливается бит WCOL в '1', а запись не происходит. Бит WCOL сбрасывается программно.

#### 15.4.10.3 Флаг ACKSTAT

В режиме передачи данных бит ACKSTAT(SSPCON2<6>) равен нулю, если ведомый сформировал подтверждение. Ведомый посылает подтверждение, если он распознал адрес (включая общий вызов) или корректно принял данные.

### 15.4.11 Прием данных в режиме ведущего I<sup>2</sup>C

Прием данных ведущем шины I<sup>2</sup>C разрешается установкой бита RCEN(SSPCON2<3>) в '1'.

**Примечание.** При установке бита RCEN в '1' модуль MSSP должен находиться в режиме ожидания.

BRG начинает формировать тактовый сигнал SCL, для приема данных в сдвиговый регистр SSPSR. Каждый бит данных будет приниматься с SDA по заднему фронту SCL. По заднему фронту 8-го такта, значение из SSPSR переписывается в SSPBUF, устанавливается бит BF и SSPIF в '1', BGR останавливается, удерживая SCL в низком уровне, а модуль MSSP переходит в режим ожидания. После чтения регистра SSPBUF аппаратно сбрасывается бит BF в '0'. По окончании приема, ведущий может сформировать бит подтверждения установкой бита ACKEN (SSPCON2<4>) в '1'.

#### 15.4.11.1 Флаг BF

В режиме приема данных бит BF (SSPSTAT<0>) аппаратно устанавливается в '1' после загрузки данных в регистр SSPBUF и аппаратно сбрасывается после чтения регистра SSPBUF.

#### 15.4.11.2 Флаг SSPOV

При приеме данных бит SSPOV устанавливается в '1', если в момент приема 8-го бита следующего байта бит BF=1 после приема предыдущего байта.

#### 15.4.11.3 Флаг WCOL

Если во время приема данных производится попытка записи в регистр SSPBUF, устанавливается бит WCOL в '1', а запись не происходит. Бит WCOL сбрасывается программно.

Рисунок 15-21. Временная диаграмма передачи данных в режиме ведущего I<sup>2</sup>C (7 или 10-разрядная адресация)

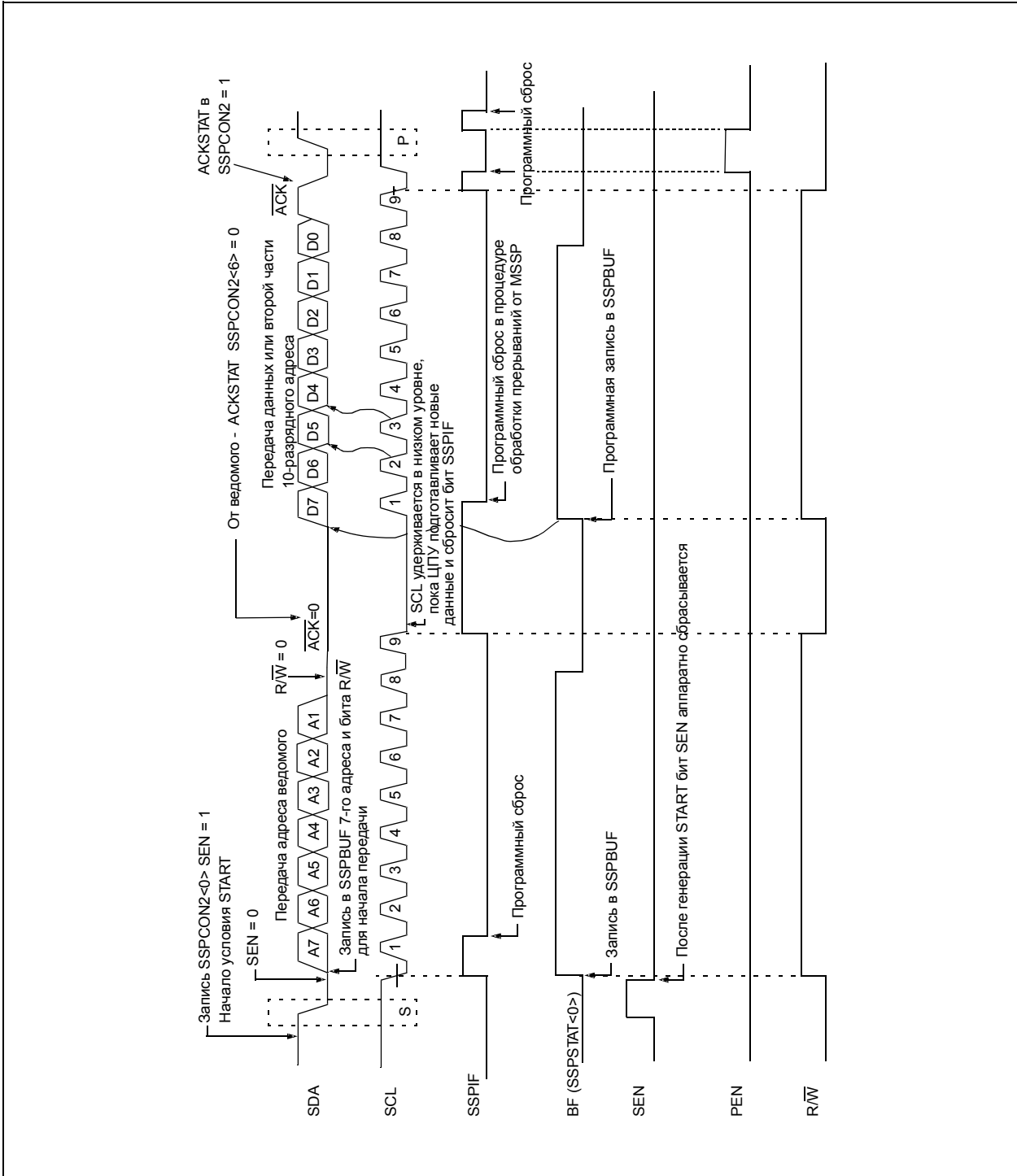
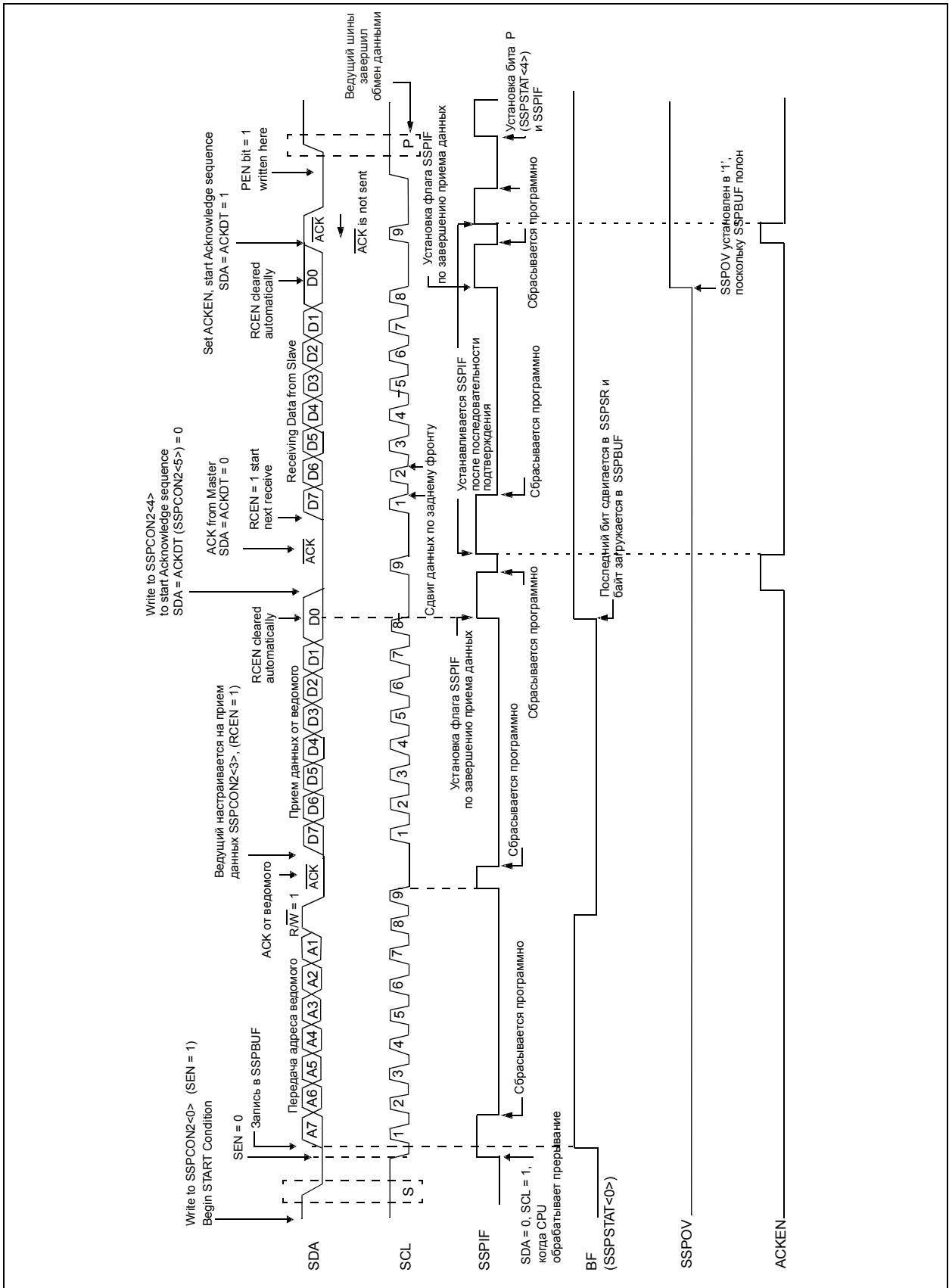


Рисунок 15-22. Временная диаграмма приема данных в режиме ведущего I<sup>2</sup>C (7-разрядная адресация)



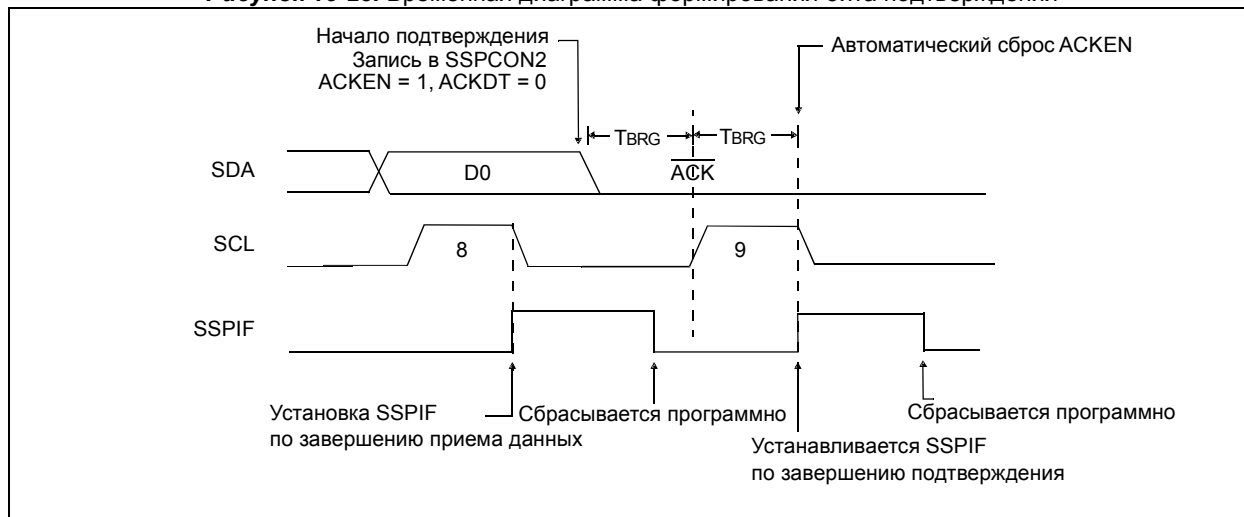
### 15.4.12 Формирование бита подтверждения в режиме ведущего I<sup>2</sup>C

Для инициализации формирования бита подтверждения на шине I<sup>2</sup>C необходимо установить бит ACKEN (SSPCON2<4>) в '1'. При установке этого бита на SCL выдается низкий уровень сигнала, а на SDA содержимое бита ACKDT. Если нужно подтвердить прием, бит ACKDT должен быть равен нулю. По окончании счета BRG линия SCL "отпускается". Как только SCL перейдет из низкого уровня в высокий, BRG опять начнет счет. После окончания счета SCL переводится в низкий уровень, бит ACKEN автоматически сбрасывается в '0', устанавливается флаг прерывания SSPIF в '1', BGR останавливается, а модуль MSSP переходит в режим ожидания (см. рисунок 15-23).

#### 15.4.12.1 Флаг WCOL

Если во время формирования бита подтверждения производится попытка записи в SSPBUF, устанавливается бит WCOL в '1', а запись не происходит.

**Рисунок 15-23.** Временная диаграмма формирования бита подтверждения



Примечание.  $T_{BRG}$  = один период генератора скорости обмена данными.



### 15.4.16 Режим конкуренции

В режиме конкуренции, прерывания поле START и STOP позволяет определить, когда шина I<sup>2</sup>C свободна. Биты S и P сбрасываются в '0' при сбросе микроконтроллера или при выключении модуля MSSP. Управление шиной может быть перехвачено, когда бит P=1 или шина простаивает (S=0 и P=0). Если шина занята, можно разрешить прерывания от MSSP для обнаружения бита STOP на шине.

При конкуренции линия SDA должна проверяться на соответствия уровня, при ожидаемом высоком уровне на выходе. Эта проверка производится автоматически, а результат помещается в бит BCLIF.

Арбитраж на шине I<sup>2</sup>C может быть потерян во время:

- Передачи адреса
- Передачи данных
- Формирования бита START
- Формирования бита повторный START
- Формирования бита NACK

### 15.4.17 Режим конкуренции, арбитраж и конфликты шины

В режиме конкуренции необходимо поддерживать правила арбитража шины. Во время передачи адреса/данных на SDA ведущий может потерять арбитраж, если он формирует высокий уровень сигнала, а другой ведущий сформировал низкий уровень на SDA. При переходе SCL в высокий уровень, сигнал на SDA изменяться не может. Если на SDA ожидается высокий уровень, а в действительности низкий, значит возник конфликт шины. Обнаружив конфликт шины, ведущий устанавливает флаг прерывания BCLIF в '1', прекращает текущую операцию на шине и переводит порт I<sup>2</sup>C в режим ожидания (см. рисунок 15-25).

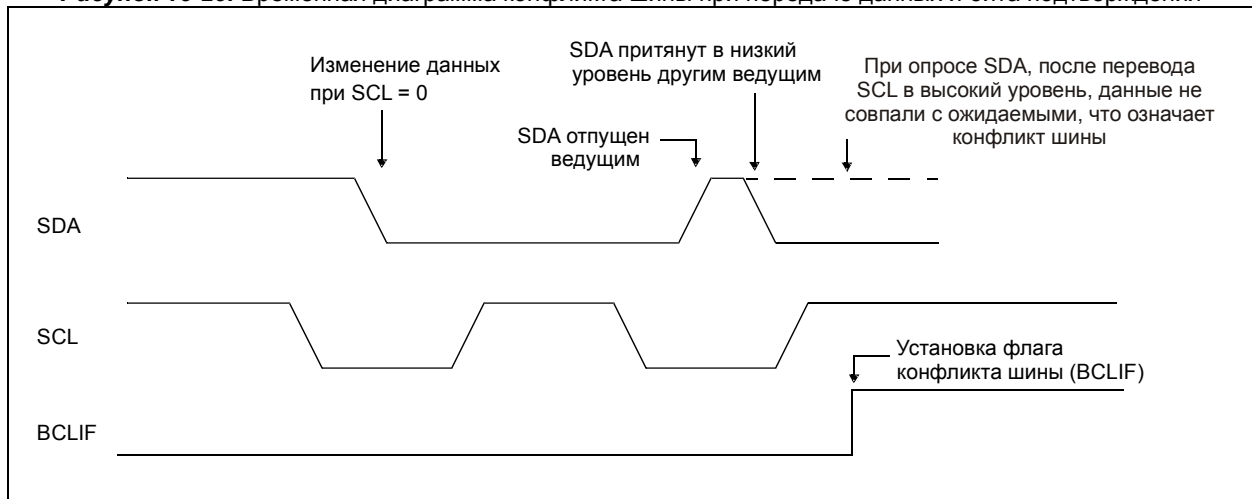
Если при возникновении конфликта шины выполнялась передача данных, она обрывается, устанавливается бит BF в '1', а линии SCL и SDA "отпускаются" в высокое состояние. В регистр SSPBUF может быть произведена запись, причем запись в SSPBUF инициирует передачу независимо от того, в какой момент передатчик отключился при возникновении конфликта шины. Если пользователь обрабатывает прерывания по конфликту шины, после освобождения шины он может продолжить обмен, сформировав бит START.

Если при возникновении конфликта выполнялось формирование бита START, повторный START, STOP или ACK, выполняемая операция обрывается, SCL и SDA "отпускаются", а соответствующий бит управления в SSPCON2 сбрасывается в '0'. Если пользователь обрабатывает прерывания по конфликту шины, после освобождения шины он может продолжить обмен, сформировав бит START.

Ведущий продолжает следить за состоянием шины, и при появлении бита STOP устанавливается флаг прерывания SSPIF в '1'.

В режиме конкуренции использование прерывания при обнаружении битов START и STOP позволяет определить занятость шины. Управление шиной может быть перехвачено при установленном бите P или сброшенных битах S и P.

**Рисунок 15-25.** Временная диаграмма конфликта шины при передаче данных и бита подтверждения





### 15.4.17.1 Конфликт шины при формировании бита START

Во время формирования бита START конфликт шины возникает если:

- В начале START на SDA или SCL низкий уровень сигнала (см. рисунок 15-26)
- На SCL низкий уровень появляется раньше чем на линии SDA (см. рисунок 15-27)

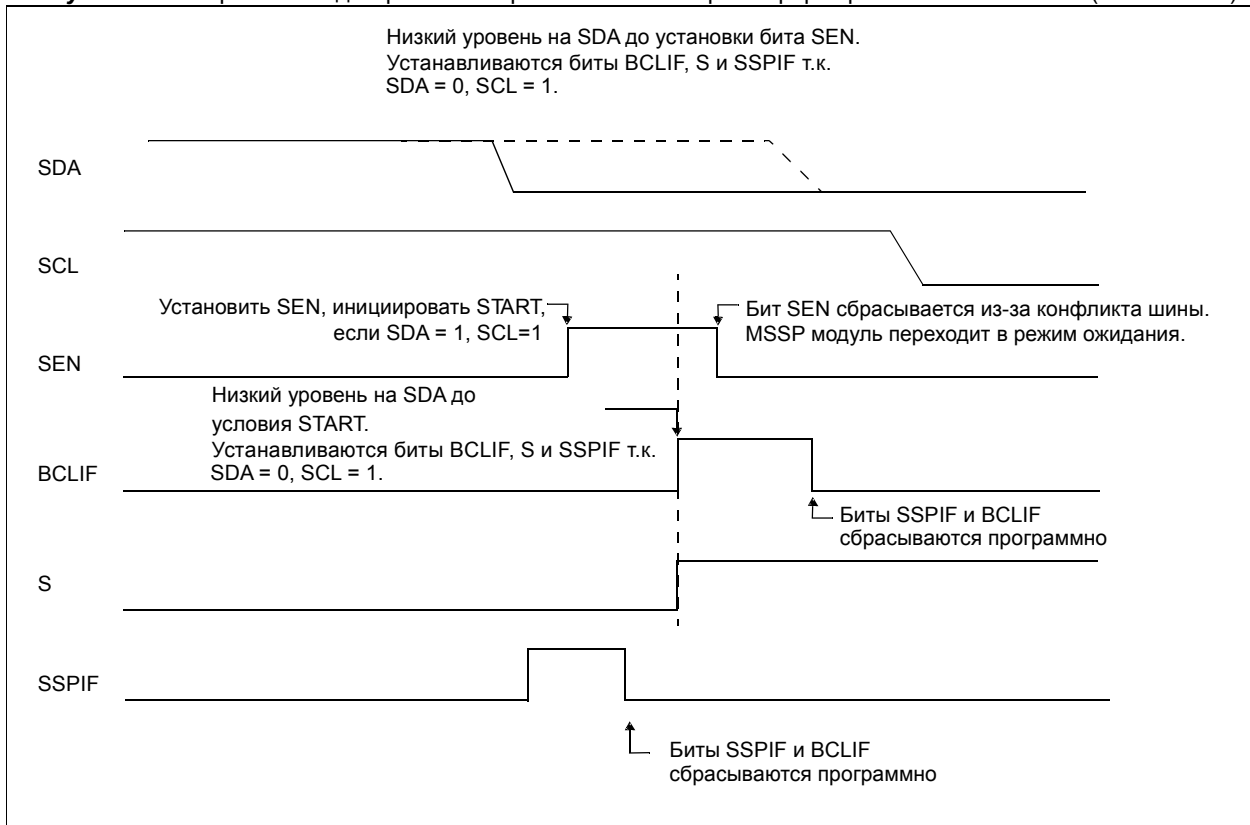
Во время формирования бита START сигналы SCL и SDA продолжают отслеживаться. Если SCL или SDA имеют низкий уровень сигнала, то формирование бита START прекращается, устанавливается флаг BCLIF в '1', а модуль MSSP переходит в режим ожидания (см. рисунок 15-26).

Бит START начинается при наличии высокого уровня сигнала на линиях SCL и SDA. Если на SCL появляется низкий уровень раньше, чем на SDA, возникает конфликт шины, поскольку это подразумевает, что другой ведущий пытается в это время передать данные.

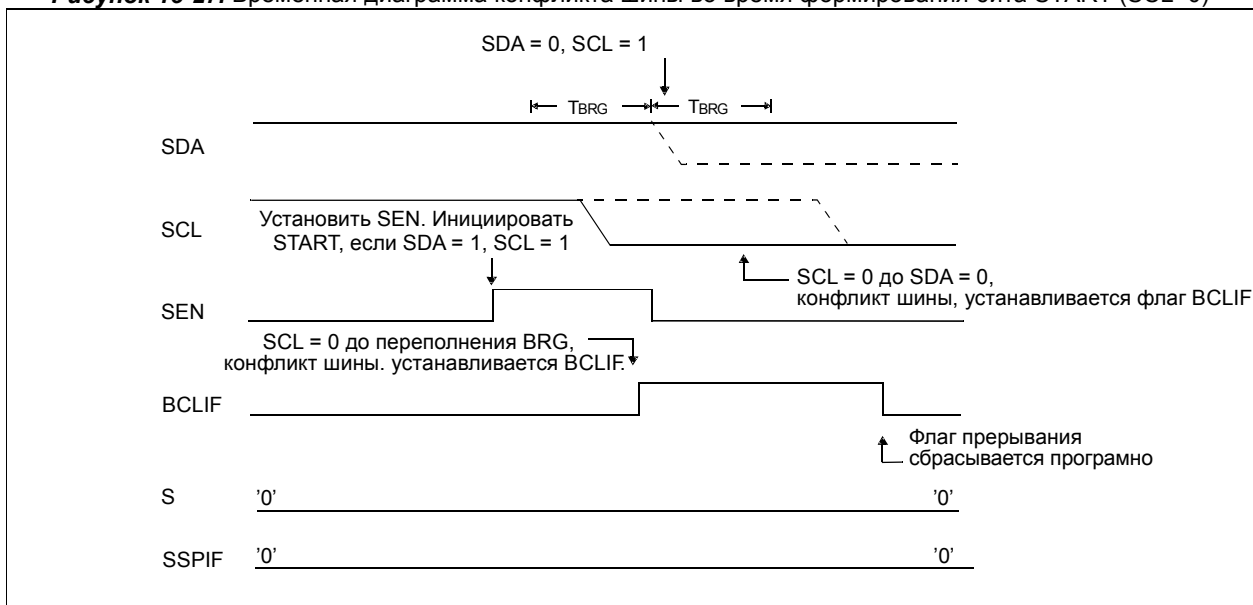
Если во время счета BRG на SDA появляется низкий уровень сигнала, BRG сбрасывается, а на SDA формируется низкий уровень раньше времени (см. рисунок 15-28). Если же на SDA высокий уровень, низкий уровень формируется в конце счета BRG. Генератор BRG перезагружается и считает до нуля. Если в это время на SCL появится низкий уровень, конфликт шины не возникает. В конце счета BRG SCL переводится в низкий уровень.

**Примечание.** Конфликт шины во время START не возникает, потому что два или более ведущих могут сформировать START одновременно, но при этом один из них первым переведет SDA в низкий уровень. Конфликт шины не возникает, поскольку ведущие могут продолжить арбитраж во время передачи адреса, данных, формировании бита повторный START и STOP.

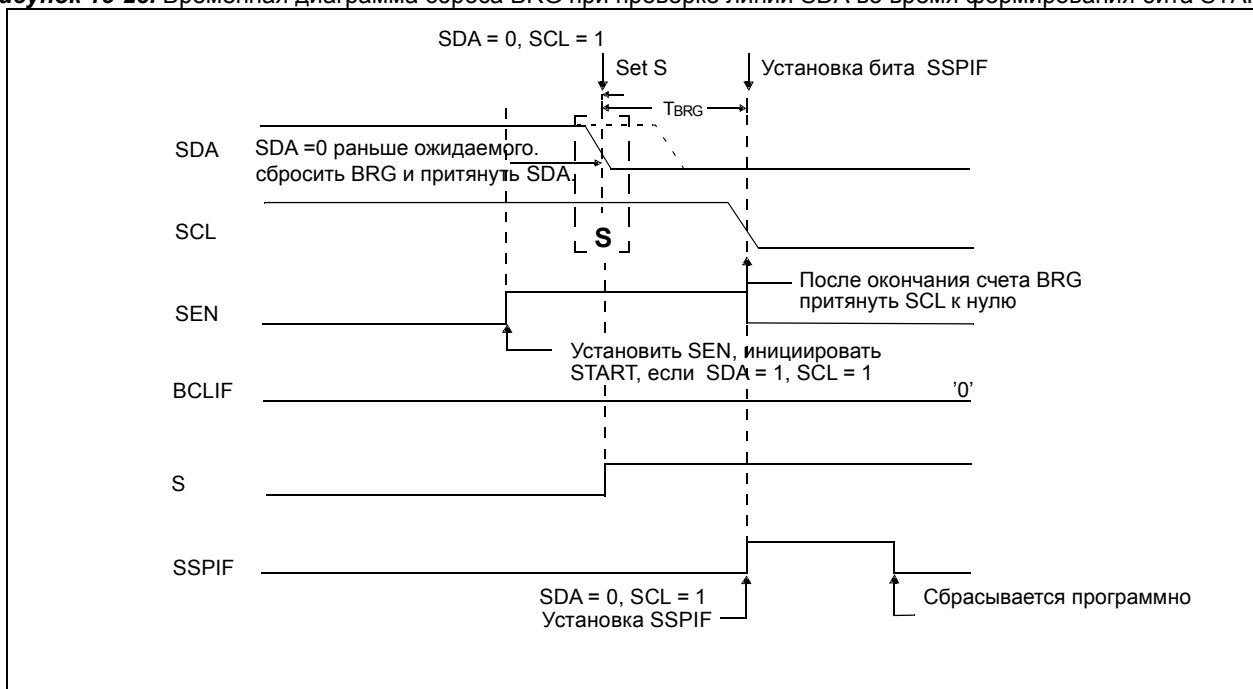
**Рисунок 15-26.** Временная диаграмма конфликта шины во время формирования бита START (только SDA)



**Рисунок 15-27.** Временная диаграмма конфликта шины во время формирования бита START (SCL=0)



**Рисунок 15-28.** Временная диаграмма сброса BRG при проверке линии SDA во время формирования бита START



### 15.4.17.2 Конфликт шины при формировании бита повторный START

Во время формирования бита повторный START конфликт шины возникает если:

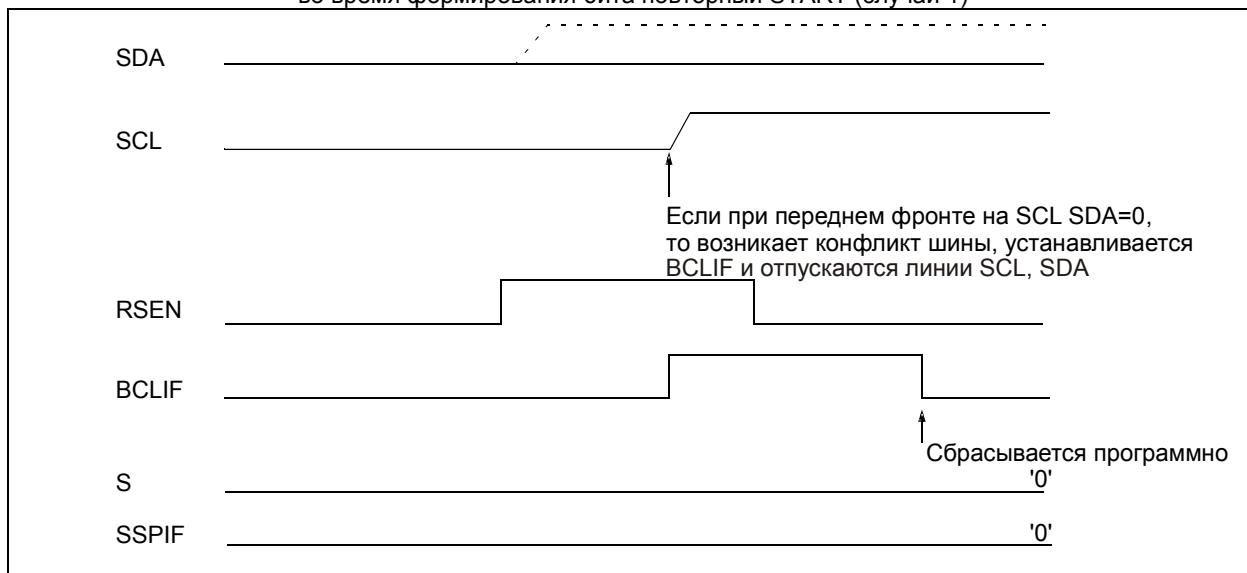
- На SDA низкий уровень при переходе SCL из низкого уровня в высокий
- SCL переходит в низкий уровень раньше SDA, что указывает на то, что другой ведущий пытается передать данные

После "отпускания" линии SDA сигнал на выводе должен перейти в высокий уровень, после чего BRG перезагружается и начинает счет. Затем "отпускается" SCL и при появлении на нем высокого уровня опрашивается SDA. Если на SDA низкий уровень сигнала, значит произошел конфликт шины, т.е. другой ведущий пытается передать данные. Если на SDA высокий уровень, то BRG снова перезагружается и начинается счет. Если SDA переходит в низкий уровень до окончания счета, конфликт шины не происходит, поскольку два или более ведущих могут пытаться получить доступ к шине одновременно.

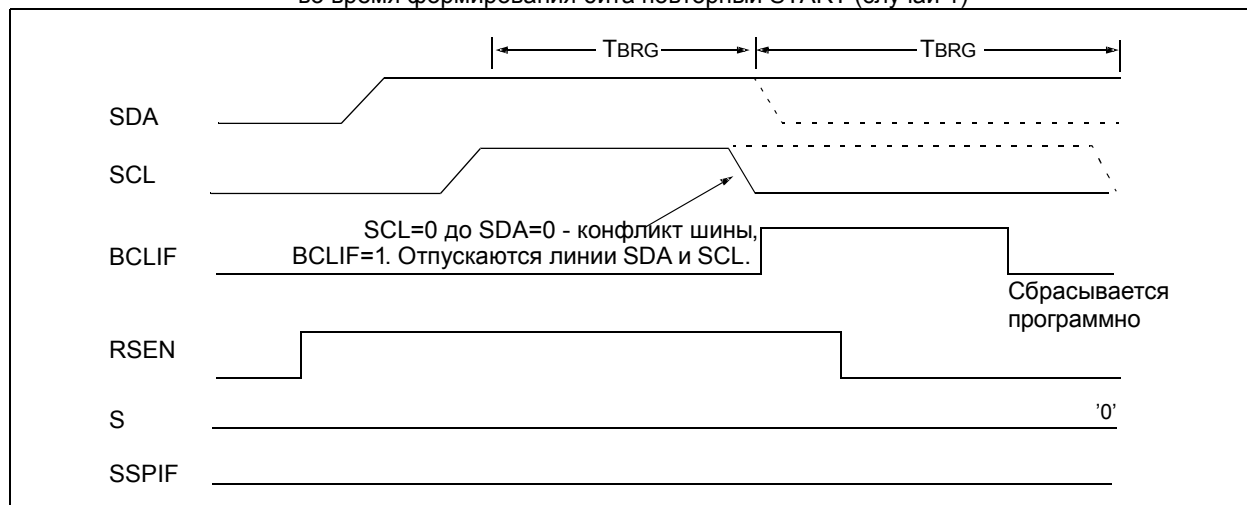
Если на линии SCL сигнал переходит в низкий уровень до окончания счета, а на SDA сохраняется высокий уровень, значит, произошел конфликт шины, т.е. другой ведущий пытается передать данные.

Если по окончании счета BGR на SCL и SDA высокий уровень, то SDA переводится в низкий уровень, а BRG перезагружается и начинает счет. По окончании счета, независимо от уровня сигнала на SCL он переводится в низкий уровень (см. рисунок 15-30).

**Рисунок 15-29.** Временная диаграмма конфликта шины во время формирования бита повторный START (случай 1)



**Рисунок 15-30.** Временная диаграмма конфликта шины во время формирования бита повторный START (случай 1)



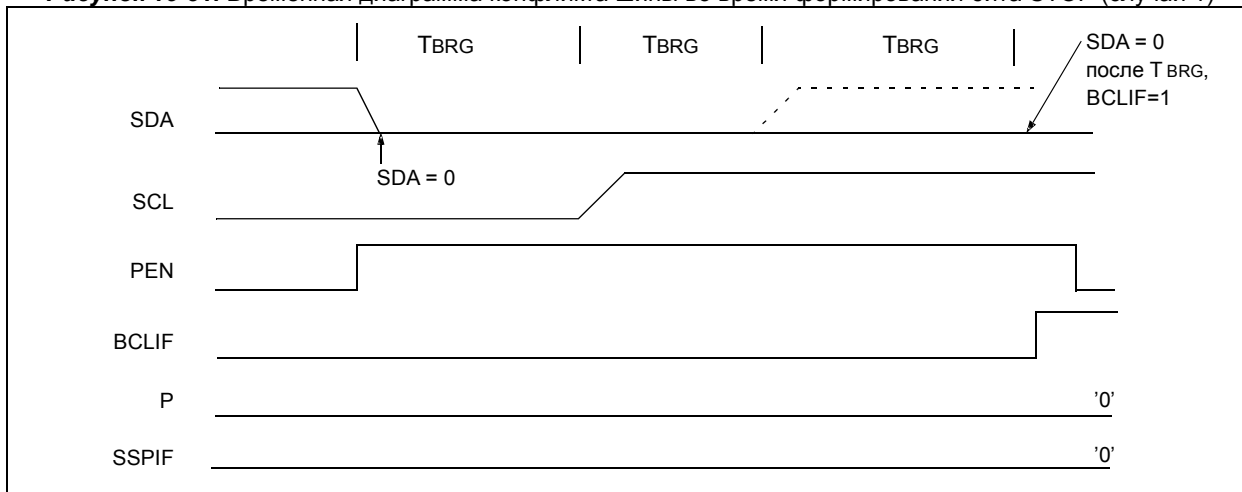
### 15.4.17.3 Конфликт шины при формировании бита STOP

Во время формирования бита STOP конфликт шины возникает если:

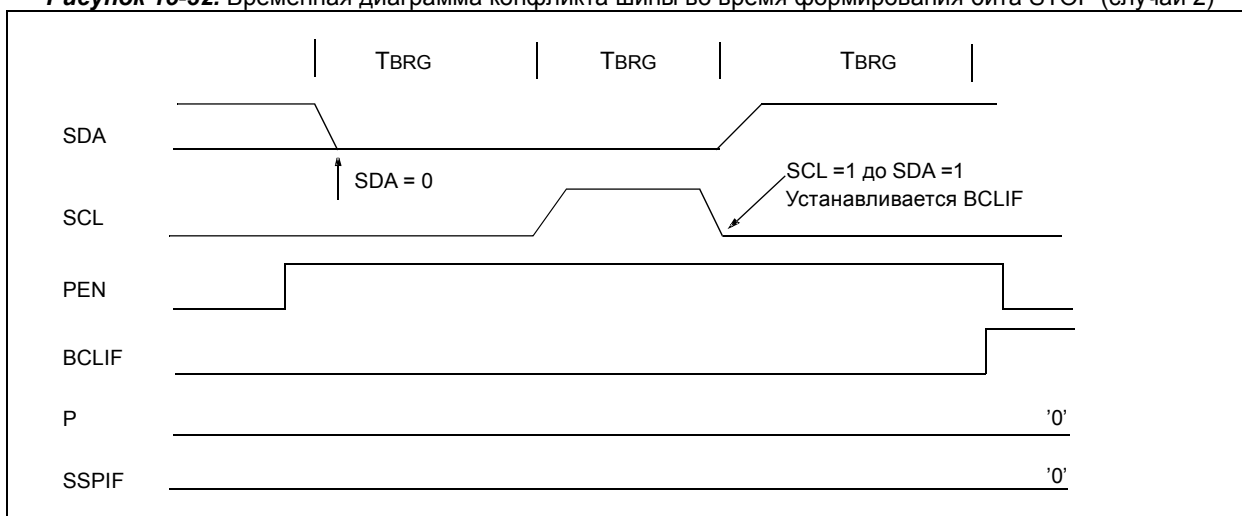
- После "отпускания" линии SDA и окончания счета BRG на SDA по-прежнему низкий уровень сигнала (см. рисунок 15-31)
- После "отпускания" линии SDA сигнал на SCL переходит в низкий уровень до того, как на SDA перейти в высокий уровень (см. рисунок 15-32)

Формирование бита STOP начинается с перевода линии SDA в низкий уровень, затем SCL "отпускается". После появления на SCL высокого уровня BRG перезагружается и начинает счет. По окончании счета SDA "отпускается", BRG перезагружается и снова начинает счет и опрашивает SDA. Если на нем низкий уровень или на SCL появился низкий уровень до перехода SDA в высокий, значит, произошел конфликт шины, т.е. другой ведущий пытается передать данные.

**Рисунок 15-31.** Временная диаграмма конфликта шины во время формирования бита STOP (случай 1)



**Рисунок 15-32.** Временная диаграмма конфликта шины во время формирования бита STOP (случай 2)



## Уважаемые господа!

ООО «Микро-Чип» поставляет полную номенклатуру комплектующих фирмы **Microchip Technology Inc** и осуществляет качественную техническую поддержку на русском языке.

С техническими вопросами Вы можете обращаться по адресу [support@microchip.ru](mailto:support@microchip.ru)

По вопросам поставок комплектующих Вы можете обращаться к нам по телефонам:

**(095) 963-9601**

**(095) 737-7545**

и адресу [sales@microchip.ru](mailto:sales@microchip.ru)

На сайте

[www.microchip.ru](http://www.microchip.ru)

Вы можете узнать последние новости нашей фирмы, найти техническую документацию и информацию по наличию комплектующих на складе.