

Справочник по среднему семейству микроконтроллеров PICmicro™

Раздел 4. Архитектура

Перевод основывается на технической документации DS33023A
компании Microchip Technology Incorporated, USA.

© ООО «Микро-Чип»
Москва - 2002

Распространяется бесплатно.
Полное или частичное воспроизведение материала допускается только с письменного разрешения
ООО «Микро-Чип»
тел. (095) 737-7545
www.microchip.ru

PICmicro™ Mid-Range MCU Family Reference Manual

“All rights reserved. Copyright © 1997, Microchip Technology Incorporated, USA. Information contained in this publication regarding device applications and the like is intended through suggestion only and may be superseded by updates. No representation or warranty is given and no liability is assumed by Microchip Technology Incorporated with respect to the accuracy or use of such information, or infringement of patents or other intellectual property rights arising from such use or otherwise. Use of Microchip’s products as critical components in life support systems is not authorized except with express written approval by Microchip. No licenses are conveyed, implicitly or otherwise, under any intellectual property rights. The Microchip logo and name are registered trademarks of Microchip Technology Inc. in the U.S.A. and other countries. All rights reserved. All other trademarks mentioned herein are the property of their respective companies. No licenses are conveyed, implicitly or otherwise, under any intellectual property rights.”

Trademarks

The Microchip name, logo, PIC, KEELOQ, PICMASTER, PICSTART, PRO MATE, and SEEVAL are registered trademarks of Microchip Technology Incorporated in the U.S.A.

MPLAB, PICmicro, ICSP and In-Circuit Serial Programming are trademarks of Microchip Technology Incorporated.

Serialized Quick-Turn Production is a Service Mark of Microchip Technology Incorporated.

All other trademarks mentioned herein are property of their respective companies.

Содержание

4.1 Введение	4
4.2 Синхронизация выполнения команд.....	7
4.3 Конвейерная выборка и выполнение команд.....	8
4.4 Описание портов ввода/вывода	9
4.5 Ответы на часто задаваемые вопросы	13
4.6 Дополнительная литература	14

4.1 Введение

Высокая эффективность микроконтроллеров PICmicro достигается за счет архитектуры ядра, подобная архитектура обычно применяется в RISC микропроцессорах.

Основные особенности архитектуры микроконтроллеров PICmicro:

- Гарвардская архитектура;
- Длинное слово команды;
- Команда состоит из единственного слова;
- Конвейерная обработка команд;
- Команды выполняются за один машинный цикл;
- Небольшое число команд;
- Файловая структура данных;
- Все команды ортогональны (симметричны).

На рисунке 4-2 показана общая структурная схема микроконтроллеров PICmicro среднего семейства.

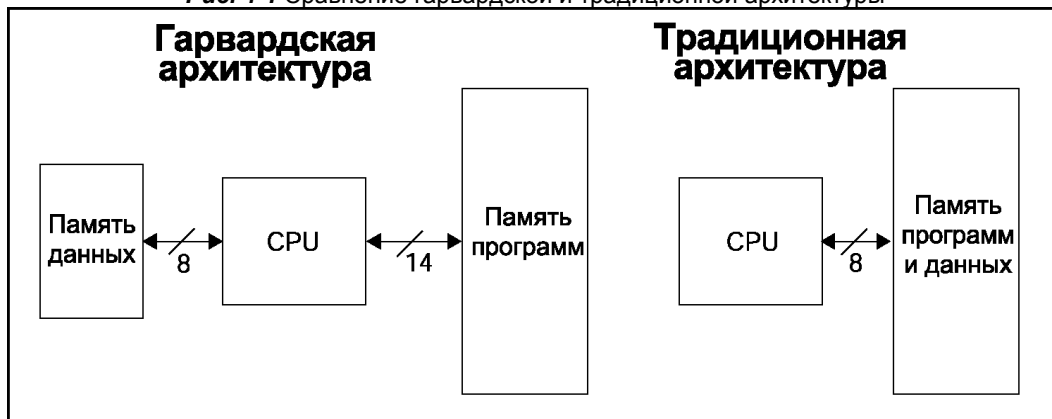
Гарвардская архитектура:

В гарвардской архитектуре разделена память программ и память данных. Обращение к памяти происходит по отдельным шинам адреса и данных, что значительно повышает производительность процессора по сравнению с традиционной архитектурой.

В микроконтроллерах с традиционной архитектурой ядра команды и данные запрашиваются по одной и той же шине. Чтобы выполнить выборку команды необходимо сделать несколько запросов по 8-разрядной (или кратной 8 разрядам) шине. Затем (если необходимо) запросить данные, выполнить команду и сохранить результат. Как может быть замечено шина с традиционной архитектурой ядра значительно загружена.

В микроконтроллерах с гарвардской архитектурой ядра выборка команды происходит за один цикл (все команды 14 - разрядные). При обращении к памяти программ можно выполнить запись или чтение данных, т.к. память данных подключена к ядру микроконтроллера по отдельной шине. Раздельные шины доступа к памяти программ и к памяти данных позволяют исполнять текущую команду и производить выборку следующей команды, организуя конвейерную обработку команд. Сравнение гарвардской и традиционной архитектуры показано на рисунке 4-1.

Рис. 4-1 Сравнение гарвардской и традиционной архитектуры



Длинное слово команды:

Разрядность команд микроконтроллера несколько больше чем 8-разрядная шина памяти данных. Это стало возможным из-за раздельных шин доступа к памяти программ и к памяти данных. Разделение шин доступа к разным видам памяти позволяет произвольно выбирать разрядность команд микроконтроллера (не кратное 8-разрядной шине данных), что в свою очередь дает возможность эффективно использовать память программ и оптимизировать разрядность шины программ к архитектурным требованиям микроконтроллера.

Команда состоит из единственного слова:

Все команды микроконтроллеров однословные 14 - разрядные. 14 - разрядная шина доступа к памяти программ позволяют выполнить выборку 14 - разрядной команды за один машинный цикл микроконтроллера. При использовании однословных команд число слов в памяти программ равняется максимальному числу команд программы микроконтроллера. Это означает, что все ячейки памяти имеют силу команды.

Как правило в традиционной архитектуре большинство команд многобайтные. Микроконтроллер, имеющий 4к байт памяти, содержит примерно 2к команд. Коэффициент использования памяти примерно равен 2:1 и зависит от конкретного приложения. Поскольку каждая команда может состоять из нескольких байтов, то нет никакой гарантии, что каждая ячейка памяти программ имеет силу команды.

Конвейерная обработка команд:

Конвейерная обработка команд состоит из двух стадий: выборка команды из памяти, выполнение команды. Выборка команды происходит в первый машинный цикл T_{CY} , а выполняются команда во втором машинном цикле T_{CY} . Однако, из-за одновременной выборки текущей команды и выполнения предыдущей в каждом машинном цикле T_{CY} происходит выборка и выполнение команд.

Команды выполняются за один машинный цикл:

Полная выборка команды происходит за один машинный цикл (T_{CY}) из-за того, что шина доступа к памяти программ 14 - разрядная. Каждая команда содержит всю необходимую информацию и выполняется за один машинный цикл. При выполнении команды может возникать задержка в один машинный цикл, если результат команды изменяет содержимое счетчика команд PC. Задержка в один машинный цикл необходима для выборки новой команды, которая должна быть выполнена.

Небольшое число команд:

Когда система команд хорошо проработана и команды ортогональны (симметричны), то требуется меньшее число команд для решения всех необходимых задач. С меньшим числом команд изучение микроконтроллера значительно упрощается.

Файловая структура данных:

Обращение к регистрам памяти данных можно выполнить прямой или косвенной адресацией. Все регистры специального назначения, включая счетчик команд PC, отображаются в памяти данных.

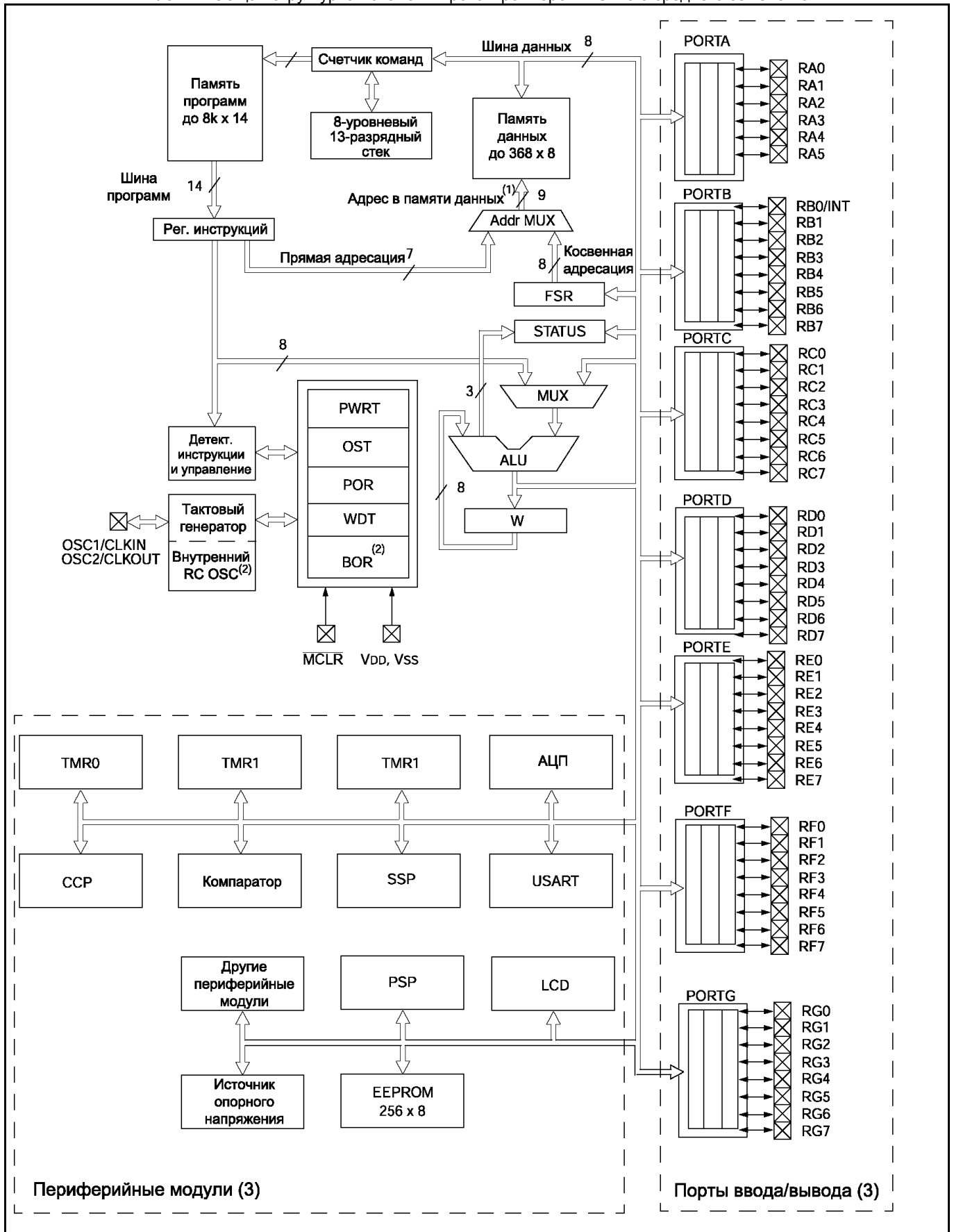
Все команды ортогональны (симметричны):

Ортогональная система команд дает возможность выполнить любую операцию с любым регистром памяти данных прямой или косвенной адресацией. В ортогональной системе команд малое количество "специальных команд", что упрощает изучение и программирование микроконтроллеров не теряя эффективности кода программы. В микроконтроллерах среднего семейства используется только две не ортогональные команды, реализующие особенности ядра.

Команда SLEEP - переводит микроконтроллер в режим пониженного энергопотребления.

Команда CLRWDT - подтверждает нормальную работу микроконтроллера, предотвращая сброс по переполнению сторожевого таймера WDT.

Рис. 4-2 Общая структурная схема микроконтроллеров PICmicro среднего семейства



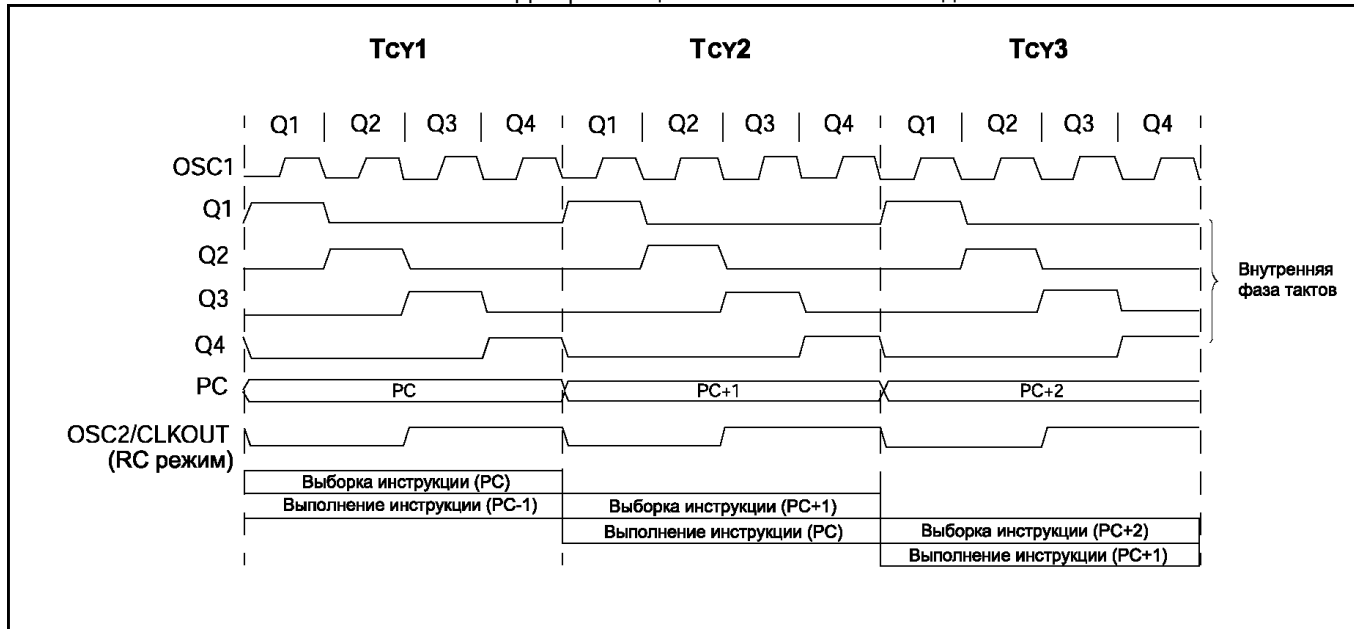
Примечания:

1. Старшие биты адреса при обращении к ОЗУ прямой адресацией из регистра STATUS.
2. Не все микроконтроллеры имеют эти особенности, смотрите техническую документацию на соответствующий микроконтроллер.
3. Большинство универсальных выводов портов ввода/вывода мультиплицированы с одним или более периферийным модулем. Смотрите техническую документацию на соответствующий микроконтроллер.

4.2 Синхронизация выполнения команд

Входной тактовый сигнал (вывод OSC1) внутренней схемой микроконтроллера разделяется на четыре последовательных неперекрывающихся такта Q1, Q2, Q3 и Q4. Внутренний счетчик команд (PC) увеличивается на единицу в каждом такте Q1, а выборка команды из памяти программ происходит на каждом такте Q4. Декодирование и выполнение команды происходит с такта Q1 по Q4. На рисунке 4-3 и в примере 4-1 показаны циклы выполнения команд.

Рис. 4-3 Диаграмма циклов выполнения команд



4.3 Конвейерная выборка и выполнение команд

Цикл выполнения команды состоит из четырех тактов Q1, Q2, Q3 и Q4. Выборка следующей команды и выполнение текущей совмещены по времени, таким образом, выполнение команды происходит за один цикл. Если команда изменяет счетчик команд PC (команды ветвления, например GOTO), то необходимо два машинных цикла для выполнения команды (см. пример 4-1).

Цикл выборки команды начинается с приращения счетчика команд PC в такте Q1.

В цикле выполнения команды, код загруженной команды, помещается в регистр команд IR на такте Q1. Декодирование и выполнение команды происходит в тактах Q2, Q3 и Q4. Операнд из памяти данных читается в такте Q2, а результат выполнения команды записывается в такте Q4.

В примере 4-1 показаны две стадии конвейерной обработки команд для представленной последовательности. В цикле T_{cy0} происходит выборка первой команды из памяти программ. На цикле T_{cy1} первая команда исполняется, а вторая команда выбирается из памяти программ. В течение цикла T_{cy2} вторая команда исполняется, а третья выбирается из памяти программ. На цикле T_{cy3} происходит выборка четвертой команды и выполняется команда третья команда (CALL SUB_1). Когда завершается выполнение третьей команды CPU загружает адрес четвертой команды в вершину стека и изменяет счетчик команд PC на адрес SUB_1. Это означает, что команда, загруженная в цикле T_{cy3}, должна быть удалена из конвейера. В течение цикла T_{cy4} четвертая команда удаляется из конвейера (выполняется пустой цикл NOP) и происходит выборка команды по адресу SUB_1. В цикле T_{cy5} выполняется команда пять и выбирается из памяти программ команда с адресом SUB_1 + 1.

Пример 4-1 Выборка и выполнения команд

	T _{cy0}	T _{cy1}	T _{cy2}	T _{cy3}	T _{cy4}	T _{cy5}
1. MOVLW 55h	Выборка 1	Выполн. 1				
2. MOVWF PORTB		Выборка 2	Выполн. 2			
3. CALL SUB_1			Выборка 3	Выполн. 3		
4. BSF PORTA, BIT3 (Выполняется NOP)				Выборка 3	Удаление	
5. Инструкция по адресу SUB_1					Выб. SUB_1	Выб. SUB_1 + 1
						Выполн. SUB_1

Все команды выполняются за один цикл, кроме команд ветвления. Команды ветвления требуют два машинных цикла, т.к. необходимо удалить предварительно выбранную команду из конвейера. Во время удаления выбирается новая команда, а затем она исполняется в следующем машинном цикле.

4.4 Описание портов ввода/вывода

В таблице 4-1 дано краткое описание функций, которые могут быть мультиплицированы к каналам портов ввода/вывода. Возможна ситуация, когда на один вывод мультиплицируется несколько функций. При использовании вывода периферийным модулем действие битов регистра TRIS может быть заблокировано (например для АЦП или LCD модуля).

Таблица 4-1 Описание выводов

Имя вывода	Тип вывода	Тип буфера	Описание
AN0	I	Аналоговый	Аналоговые входы.
AN1	I	Аналоговый	
AN2	I	Аналоговый	
AN3	I	Аналоговый	
AN4	I	Аналоговый	
AN5	I	Аналоговый	
AN6	I	Аналоговый	
AN7	I	Аналоговый	
AN8	I	Аналоговый	
AN9	I	Аналоговый	
AN10	I	Аналоговый	
AN11	I	Аналоговый	
AN12	I	Аналоговый	
AN13	I	Аналоговый	
AN14	I	Аналоговый	
AN15	I	Аналоговый	
AVDD	P	P	Аналоговое питание.
AVSS	P	P	Аналоговый общий.
C1	I	Аналоговый	Напряжение LCD.
C2	I	Аналоговый	Напряжение LCD.
CCP1	I/O	ST	Вывод Захват/Сравнение/ШИМ модуля CCP1.
CCP2	I/O	ST	Вывод Захват/Сравнение/ШИМ модуля CCP2.
CDAC	O	Аналоговый	Токовый вывод АЦП. Обычно используется для подключения внешнего конденсатора, чтобы формировать линейное уменьшение напряжения.
CK	I/O	ST	Тактовый сигнал USART в синхронном режиме. Всегда связан с функциями вывода TX (см. TX, RX, DT).
CLKIN	I	ST/CMOS	Вход внешнего тактового сигнала. Всегда связан с функциями вывода OSC1 (см. OSC1/CLKIN, OSC2/CLKOUT). Вывод тактового генератора. Подключается кварцевый/керамический резонатор в HS, XT, LP режиме генератора. В RC режиме генератора на выводе OSC2 присутствует сигнал CLKOUT с 1/4 частоты OSC1, равной циклам выполнения команд. Всегда связан с функциями вывода OSC2 (см. OSC1, OSC2).
CLKOUT	O	-	
CMPA	O	-	Выход компаратора А.
CMPB	O	-	Выход компаратора В.
COM0	L	-	Общий драйвер 0 LCD.
COM1	L	-	Общий драйвер 1 LCD.
COM2	L	-	Общий драйвер 2 LCD.
COM3	L	-	Общий драйвер 3 LCD.
-CS	I	TTL	Вход выбора микросхемы ведомого параллельного порта (см. -RD, -WR)
DT	I/O	ST	Сигнал данных USART в синхронном режиме. Всегда связан с функциями вывода RX (см. TX, RX, CK).
GP0	I/O	TTL/ST	GP - двунаправленный порт ввода/вывода. На некоторых входах порта могут быть программно включены внутренние подтягивающие резисторы. TTL буфер в режиме порта ввода/вывода. Буфер с триггером Шмидта в режиме последовательного программирования. TTL буфер в режиме порта ввода/вывода. Буфер с триггером Шмидта в режиме последовательного программирования.
GP1	I/O	TTL/ST	
GP2	I/O	ST	
GP3	I	TTL	
GP4	I/O	TTL	
GP5	I/O	TTL	

Обозначения:

TTL = входной буфер TTL

CMOS = КМОП совместимый вход или выход

NO-PD = нет внутр. диода, подключ. к V_{DD}

I = вход

L = драйвер LCD

SM = соответствие спецификации SMBus. Требуется внешний подтягивающий резистор

ST = входной буфер с триггером Шмидта

NPU = N-канальный подтягивающий элемент

PU = внутренний подтягивающий элемент

O = выход

P = питание

Таблица 4-1 Описание выводов (продолжение)

Имя вывода	Тип вывода	Тип буфера	Описание
INT	I	ST	Вход внешних прерываний.
-MCLR/VPP	I/P	ST	Вход сброса микроконтроллера (активный низкий логический уровень) или вход напряжения программирования.
NC	-	-	Эти выводы должны быть оставлены не подключенными.
OSC1	I	ST/CMOS	Вход тактового генератора или вход внешнего тактового сигнала. Входной буфер с триггером Шмидта в RC режиме генератора. КМОП буфер в остальных режимах.
OSC2	O	-	Вывод тактового генератора. Подключается кварцевый/керамический резонатор в HS,XT, LP режиме генератора. В RC режиме генератора на выводе OSC2 присутствует сигнал CLKOUT с 1/4 частоты OSC1, равной циклам выполнения команд.
PBTN	I	ST	Вход с внутренним подтягивающим резистором. Может использоваться для генерации прерываний.
PSP0 PSP1 PSP2 PSP3 PSP4 PSP5 PSP6 PSP7	I/O	TTL	Ведомый параллельный порт для связи с микропроцессором. Выводы имеют входной буфер TTL, когда модуль PSP включен.
RA0 RA1 RA2 RA3 RA4 RA5	I/O	TTL	PORTA - двунаправленный порт ввода/вывода. RA4 имеет выход с открытым стоком.
RB0 RB1 RB2 RB3 RB4 RB5 RB6 RB7	I/O	TTL	PORTB - двунаправленный порт ввода/вывода. На входах порта могут быть программно включены внутренние подтягивающие резисторы. Прерывание по изменению уровня сигнала на входе. Прерывание по изменению уровня сигнала на входе. Прерывание по изменению уровня сигнала на входе. Тактовый вход в режиме программирования. Буфер TTL в нормальном режиме. Буфер с триггером Шмидта в режиме программирования. Прерывание по изменению уровня сигнала на входе. Вывод данных в режиме программирования. Буфер TTL в нормальном режиме. Буфер с триггером Шмидта в режиме программирования.
RC0 RC1 RC2 RC3 RC4 RC5 RC6 RC7	I/O	ST	PORTC - двунаправленный порт ввода/вывода.
-RD	I	TTL	Управление чтением ведомого параллельного порта (см. -WR, -CS).

Обозначения:

TTL = входной буфер TTL

CMOS = КМОП совместимый вход или выход

NO-PD = нет внутр. диода, подключ. к V_{DD}

I = вход

L = драйвер LCD

SM = соответствие спецификации SMBus. Требуется внешний подтягивающий резистор

ST = входной буфер с триггером Шмидта

NPU = N-канальный подтягивающий элемент

PU = внутренний подтягивающий элемент

O = выход

P = питание

Таблица 4-1 Описание выводов (продолжение)

Имя вывода	Тип вывода	Тип буфера	Описание
RD0 RD1 RD2 RD3 RD4 RD5 RD6 RD7	I/O I/O I/O I/O I/O I/O I/O I/O	ST ST ST ST ST ST ST ST	PORTD - двунаправленный порт ввода/вывода.
RE0 RE1 RE2 RE3 RE4 RE5 RE6 RE7	I/O I/O I/O I/O I/O I/O I/O I/O	ST ST ST ST ST ST ST ST	PORTE - двунаправленный порт ввода/вывода.
REFA REFB	O O	CMOS CMOS	Выход А программируемого источника опорного напряжения. Выход В программируемого источника опорного напряжения.
RF0 RF1 RF2 RF3 RF4 RF5 RF6 RF7	I/O I/O I/O I/O I/O I/O I/O I/O	ST ST ST ST ST ST ST ST	PORTF - цифровые входы или порт драйвера сегментов LCD.
RG0 RG1 RG2 RG3 RG4 RG5 RG6 RG7	I/O I/O I/O I/O I/O I/O I/O I/O	ST ST ST ST ST ST ST ST	PORTG - цифровые входы или порт драйвера сегментов LCD.
RX	I	ST	Вывод приемника в асинхронном режиме USART.
SCL SCLA SCLB SDA SDAA SDAB	I/O I/O I/O I/O I/O I/O	ST ST ST ST ST ST	Вывод тактового сигнала в режиме I ² C. Вывод тактового сигнала интерфейса I ² C. Вывод тактового сигнала интерфейса I ² C. Вывод данных в режиме I ² C. Вывод данных интерфейса I ² C. Вывод данных интерфейса I ² C.
SCK SDI SDO -SS	I/O I O I	ST	Вход/выход тактового сигнала в режиме SPI. Вывод приемника SPI. Вывод передатчика SPI. Вход выбора ведомого SPI.
SEG00:SEG31	I/L	ST	Драйверы сегментов LCD от 00 до 31.
SUM	O	AN	AN1 подтверждение перехода. К выводу может быть подключен внешний конденсатор
T0CKI	I	ST	Вход внешнего тактового сигнала для TMR0.
T1CKI T1OSO T1OSI	I O I	ST CMOS CMOS	Вход внешнего тактового сигнала для TMR1. Выход генератора TMR1. Вход генератора TMR1.
TX	O	-	Выход передатчика USART в асинхронном режиме (см. RX).

Обозначения:

TTL = входной буфер TTL

CMOS = КМОП совместимый вход или выход

NO-PD = нет внутр. диода, подключ. к V_{DD}

I = вход

L = драйвер LCD

SM = соответствие спецификации SMBus. Требуется внешний подтягивающий резистор

ST = входной буфер с триггером Шмидта

NPU = N-канальный подтягивающий элемент

PU = внутренний подтягивающий элемент

O = выход

P = питание

Таблица 4-1 Описание выводов (продолжение)

Имя вывода	Тип вывода	Тип буфера	Описание
V _{LCD1}	P	-	Напряжение LCD.
V _{LCD2}	P	-	Напряжение LCD.
V _{LCD3}	P	-	Напряжение LCD.
VLCDADJ	I	Аналоговый	Напряжение LCD.
V _{REF}	I	Аналоговый	Вход верхнего опорного напряжения. Вывод входа опорного напряжения присутствует на микроконтроллерах с компараторами.
V _{REF+}	I	Аналоговый	Вход верхнего опорного напряжения. Обычно мультиплицируется на аналоговый вход.
V _{REF-}	I	Аналоговый	Вход нижнего опорного напряжения. Обычно мультиплицируется на аналоговый вход.
VREG	O	-	Вывод управления внешним компонентом N-FET для регулировки напряжения.
V _{SS}	P	-	Общий вывод для внутренней логики и портов ввода/вывода.
V _{DD}	P	-	Положительное напряжение питания для внутренней логики и портов ввода/вывода.
-WR			Управление записью в ведомый параллельный порт (см. -RD, -CS).

Обозначения:

TTL = входной буфер TTL

CMOS = КМОП совместимый вход или выход

NO-PD = нет внутр. диода, подключ. к V_{DD}

I = вход

L = драйвер LCD

SM = соответствие спецификации SMBus. Требуется внешний подтягивающий резистор

ST = входной буфер с триггером Шмидта

NPU = N-канальный подтягивающий элемент

PU = внутренний подтягивающий элемент

O = выход

P = питание

4.5 Ответы на часто задаваемые вопросы

На момент выполнения перевода в оригинальной технической документации вопросы отсутствовали. Если у вас есть вопрос, задайте его, написав нам письмо по адресу support@microchip.ru.

4.6 Дополнительная литература

Дополнительная литература и примеры применения, связанные с этим разделом документации. Примеры применения не могут использоваться для всех микроконтроллеров среднего семейства (PIC16CXXX). Как правило примеры применения написаны для конкретной группы микроконтроллеров, но принципы примеров могут использоваться сделав незначительные изменения (с учетом существующих ограничений).

Документы, связанные архитектурой микроконтроллеров PICmicro MCU:

Документ	Номер
----------	-------

В настоящее время документы не подготовлены.

Уважаемые господа!

ООО «Микро-Чип» поставляет полную номенклатуру комплектующих фирмы **Microchip Technology Inc** и осуществляет качественную техническую поддержку на русском языке.

С техническими вопросами Вы можете обращаться по адресу support@microchip.ru

По вопросам поставок комплектующих Вы можете обращаться к нам по телефонам:
(095) 963-9601
(095) 737-7545
и адресу sales@microchip.ru

На сайте
www.microchip.ru

Вы можете узнать последние новости нашей фирмы, найти техническую документацию и информацию по наличию комплектующих на складе.